

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275632

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 21/28

(21)Application number : 05-060370

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.03.1993

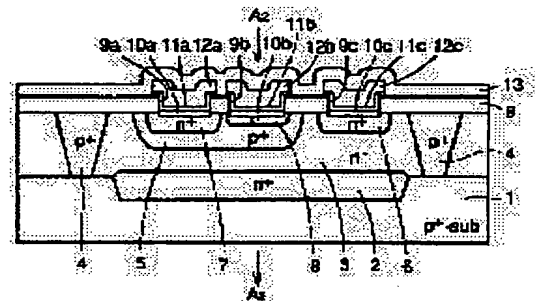
(72)Inventor : IKEGAMI MASAOKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain the ohmic contact which is stable and has a low resistance in a base contact region, while the decrease of reverse breakdown voltage between an emitter and a base and the decrease of current amplification factor are prevented.

CONSTITUTION: A P++ type base contact layer 8 which has impurity density higher than that of a P+ type base layer 5 and diffusion depth shallower than that of an N+ type emitter layer 7 is formed in a region which is spaced by a specified distance from the N+ type emitter layer 7 on the main surface of a P+ type base layer 5.



LEGAL STATUS

[Date of request for examination]

15.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

11a, 11b, 11c:窒化チタン(TiN)膜

(TiSi₂)膜

1

【特許請求の範囲】

【請求項 1】 第 1 導電型のコレクタ不純物領域と、
前記コレクタ不純物領域の主表面上の所定領域に形成され
た第 1 の不純物濃度を有する第 2 導電型のベース不純物
領域と、

前記ベース不純物領域の主表面上の所定領域に形成され
た第 1 の深さを有する第 1 導電型のエミッタ不純物領域
と、

前記ベース不純物領域の主表面上に前記エミッタ不純物
領域と所定の間隔を隔てて形成され、前記第 1 の不純物
濃度よりも高い第 2 の不純物濃度を有するとともに前記
第 1 の深さよりも浅い第 2 の深さを有する第 2 導電型の
ベースコンタクト不純物領域と、

少なくとも前記ベースコンタクト不純物領域上に形成され
た金属シリサイド層とを備えた、半導体装置。

【請求項 2】 第 1 導電型のコレクタ不純物領域を形成
する工程と、

前記コレクタ不純物領域の主表面上の所定領域に第 1 の
不純物濃度を有する第 2 導電型のベース不純物領域を形
成する工程と、

前記ベース不純物領域の主表面上の所定領域に第 1 の深
さを有する第 1 導電型のエミッタ不純物領域を形成する
工程と、

前記ベース不純物領域の主表面上の前記エミッタ不純物
領域と所定の間隔を隔てた領域に、第 2 導電型の不純物
を導入することによって前記第 1 の不純物濃度よりも高
い第 2 の不純物濃度を有するとともに前記第 1 の深さよ
りも浅い第 2 の深さを有するベースコンタクト不純物領
域を形成する工程と、

少なくとも前記ベースコンタクト不純物領域上に接触す
るように金属層を形成した後、前記金属層をシリサイド
化する工程とを備えた、半導体装置の製造方法。

【請求項 3】 第 1 導電型のコレクタ不純物領域を形成
する工程と、

前記コレクタ不純物領域の主表面上の所定領域に第 1 の
不純物濃度を有する第 2 導電型のベース不純物領域を形
成する工程と、

前記ベース不純物領域の主表面上の所定領域に第 1 の深
さを有する第 1 導電型のエミッタ不純物領域を形成する
工程と、

前記ベース不純物領域の主表面上の所定領域に接触する
ように金属層を形成する工程と、

前記金属層に第 2 導電型の不純物を導入する工程と、
熱処理を施すことにより、前記金属層に導入された第 2
導電型の不純物を前記ベース不純物領域の表面に拡散さ
せて前記第 1 の不純物濃度よりも高い第 2 の不純物濃度
を有しかつ前記第 1 の深さよりも浅い第 2 の深さを有す
るベースコンタクト不純物領域を形成するとともに前記
金属層をシリサイド化する工程とを備えた、半導体装置
の製造方法。

2

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびそ
の製造方法に関し、特に、バイポーラトランジスタを有
する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 従来、半導体素子の 1 つとしてバイポー
ラトランジスタが知られている。図 22 は、従来のバイ
ポーラトランジスタを含む半導体装置を示した断面構造
図である。図 22 を参照して、従来のバイポーラトラン
ジスタを含む半導体装置は、 p^+ 型シリコン基板 101
と、 p^+ 型シリコン基板 101 の主表面上の所定領域に
形成された n^+ 型埋込拡散層 102 と、 p^+ 型シリコン
基板 101 の主表面上の全面に形成された n - 型エピタ
キシャル層 103 と、 n - 型エピタキシャル層 103 の
所定領域に形成された p^+ 型素子分離層 104 と、 p^+
型素子分離層 104 に囲まれた n - 型エピタキシャル層
103 の主表面上の所定領域に形成された n^+ 型コレク
タ層 106 と、 n^+ 型コレクタ層 106 から所定の間隔
を隔てた n - 型エピタキシャル層 103 の主表面上の領
域に形成された p^+ 型ベース層 105 と、 p^+ 型ベース
層 105 の主表面上の所定領域に形成された n^+ 型エミ
ッタ層 107 とを備えている。

【0003】 さらに、従来のバイポーラトランジスタを
含む半導体装置は、 n - 型エピタキシャル層 103 の主
表面上に形成され、 n^+ 型エミッタ層 107、 p^+ 型ベ
ース層 105、 n^+ 型コレクタ層 106 上にそれぞれコン
タクトホール 109a、109b、109c を有する
絶縁酸化膜 109 と、コンタクトホール 109a、10
9b、109c 内でそれぞれ n^+ 型エミッタ層 107、
 p^+ 型ベース層 105、 n^+ 型コレクタ層 106 の表面
に接触するように形成されたチタンシリサイド (TiS
i₂) 膜 110a、110b、110c と、チタンシリ
サイド膜 110a、110b、110c 上にそれぞれ形
成された窒化チタン (TiN) 膜 111a、111b、
111c と、窒化チタン膜 111a、111b、111
c 上にそれぞれ形成されたアルミ配線膜 112a、11
2b、112c と、全面を覆うように形成された保護膜
113 とを備えている。

【0004】 チタンシリサイド膜 110a、110b、
110c は、それぞれ N^+ 型エミッタ層 107、 p^+ 型
ベース層 105、 n^+ 型コレクタ層 106 とのオーミッ
クコンタクトをとるために形成されるものである。ま
た、窒化チタン膜 111a、111b、111c は、そ
れらの上に形成されるアルミ配線層 112a、112
b、112c によるアルミニウムアロイスバイクを防止
するためのバリア層としての役割を果たすものである。
なお、 p^+ 型素子分離層 104 によって囲まれた領域の
 n - エピタキシャル層 103 と、 n^+ コレクタ層 106
とによって、コレクタ領域が構成されている。

3

【0005】図23～図31は、図22に示した従来のバイポーラトランジスタを含む半導体装置の製造プロセスを説明するための断面構造図である。図23～図31を参照して、次に従来の半導体装置の製造プロセスについて説明する。

【0006】まず、図23に示すように、 p^+ 型シリコン基板101中に n^+ 型埋込拡散層102を形成する。そして、 p^+ 型シリコン基板101の表面の全面に n^- 型エピタキシャル層103を形成する。 n^- 型エピタキシャル層103の所定領域に p^+ 型素子分離層104を形成する。 n^- 型エピタキシャル層103の主表面上に絶縁酸化膜109を形成する。

【0007】次に、図24に示すように、 p^+ 型素子分離層104によって囲まれた n^- 型エピタキシャル層103の主表面上の所定領域に、絶縁酸化膜109を介して p 型の不純物をイオン注入法などを用いて導入する。この後、その導入した p 型の不純物を活性化することによって、 $100 \sim 1000 \Omega/\square$ の抵抗値、 $0.3 \sim 1.5 \text{ nm}$ の拡散深さ、 $\sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の表面不純物濃度を有する p^+ 型ベース層105を形成する。

【0008】次に、図25に示すように、絶縁酸化膜109上の所定領域に写真製版技術を用いてフォトレジスト120を形成する。そしてそのフォトレジスト120をマスクとしてバイポーラトランジスタのエミッタ電極、ベース電極、およびコレクタ電極となる領域の絶縁酸化膜109を異方性エッチングする。これにより、コンタクトホール109a、109b、および109cを形成する。この後、フォトレジスト120を除去する。

【0009】次に、図26に示すように、バイポーラトランジスタのベース電極となる領域を覆うように写真製版技術を用いてフォトレジスト121を形成する。その後、全面に砒素イオン(As^+)などの n 型不純物をイオン注入する。このイオン注入した不純物を活性化することによって、図27に示されるような n^+ 型コレクタ層106と n^+ 型エミッタ層107とを形成する。この後、フォトレジスト121(図26参照)を除去する。

【0010】次に、図28に示すように、全面に $40 \sim 100 \text{ nm}$ 程度の厚みを有するチタン(Ti)膜122を形成する。そして、 $750 \sim 850^\circ\text{C}$ の温度条件下で N_2 雰囲気中で30秒間程度の熱処理を行なう。これにより、図29に示されるようなチタンシリサイド膜110a、110b、110cと、窒化チタン層111とが形成される。すなわち、チタン膜122(図28参照)と n^- 型エピタキシャル層103のシリコンとのシリサイド反応によってチタンシリサイド膜110a、110b、110cが形成されるとともに、チタン膜122

(図28参照)のそれ以外の部分は N_2 ガスによって窒化されることにより窒化チタン層111となる。

【0011】次に、図30に示すように、窒化チタン層111上にアルミ配線層112を形成する。アルミ配線

4

層112上の所定領域に写真製版技術を用いてフォトレジスト123を形成する。フォトレジスト123をマスクとしてアルミ配線層112および窒化チタン層111を異方性エッチングすることによって、図31に示すような窒化チタン膜111a、111b、111cとアルミ配線膜112a、112b、112cとを形成する。この後、レジスト123を除去する。

【0012】最後に、図32に示すように、全面に保護膜113を形成する。このようにして、従来のバイポーラトランジスタを有する半導体装置は完成されていた。

【0013】

【発明が解決しようとする課題】前述のように、従来のバイポーラトランジスタを有する半導体装置では、 n^+ 型エミッタ層107、 p^+ 型ベース層105、および n^+ 型コレクタ層106とのオーミックコンタクトを得るために、チタン層122と基板シリコンとのシリサイド反応を利用してチタンシリサイド膜110a、110b、および110cを形成していた。

【0014】しかしながら、チタンとシリコンとのシリサイド反応によって p^+ 型ベース層105の p 型不純物がチタンシリサイド膜110bに取込まれるという不都合が生じていた。図33は、図28に示したシリサイド反応前の工程の X_1-X_1 線に沿った不純物プロファイル図である。図34は、図29に示したシリサイド反応後の工程の X_2-X_2 線に沿った不純物プロファイル図である。図33および図34を参照して、シリサイド反応前は p^+ 型ベース層105の表面不純物濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 程度であるが、シリサイド反応後は p^+ 型ベース層105の表面不純物濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 程度にまで低下することが分かる。これは、図34に示すように、シリサイド反応によって形成されるチタンシリサイド(TiSi_2)膜110bに p^+ 型ベース層105の p 型不純物が取込まれるためである。

【0015】図35は図32に示した最終的に完成された半導体装置の A_1-A_1 線に沿った不純物プロファイル図であり、図36は B_1-B_1 線に沿った不純物プロファイル図である。まず、図35を参照して、最終的に完成された半導体装置(図32参照)の A_1-A_1 線に沿った不純物プロファイル図は、上述したように p^+ 型ベース層105の不純物濃度がシリサイド反応によって $5 \times 10^{16} \text{ cm}^{-3}$ にまで低下している。ここで、図36に示すように、 n^+ 型エミッタ層107(図32参照)の不純物濃度は、 p^+ 型ベース層105の場合と異なり、シリサイド反応によつては余り低下しない。これは、一般に n 型の不純物はシリサイド層に取込まれにくいとともに、 n^+ 型エミッタ層7の不純物濃度が元々高いことに起因する。したがって、同じ n 型である n^+ 型コレクタ層106の不純物濃度もシリサイド反応によつては余り低下しない。このように、シリサイド反応によつて悪影響を受けるのは、 p 型+ベース層105のみで

5

あり、この場合の p^+ 型ベース層5の不純物濃度の低下が問題となる。

【0016】すなわち、シリサイド反応によって p^+ 型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗が増大するという問題点があった。図37は、チタンシリサイド($TiSi_2$)とシリコン(Si)との界面不純物濃度と、ベースコンタクト抵抗値との関係を示した相関図である。図37を参照して、チタンシリサイドとシリコンとの界面不純物濃度すなわち p^+ 型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗値が急激に増大することが分かる。具体的には、シリサイド反応後は、シリサイド反応前に比べてベースコンタクト抵抗値が約1000倍にまで上昇することが分かる。このように、ベースコンタクト抵抗値が増大すると、バイポーラトランジスタの動作速度が低下するという問題点があった。

【0017】また、シリサイド反応によって p^+ 型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗に温度依存性が出てくるという不都合も生じる。図38は、 p^+ 型ベース層105の表面不純物濃度 N が $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下の場合の温度とベースコンタクト抵抗との関係を示した相関図である。図38を参照して、 p^+ 型ベース層105の表面不純物濃度 N が 1.0×10^{17} 以下にまで低下すると、ベースコンタクト抵抗に著しい温度依存性が出てくることが分かる。すなわち、温度の上昇にともなってベースコンタクト抵抗が低下することが分かる。この現象は、電流が小さくなればなるほど著しくなる。このような現象は、たとえば VLSI TECHNOLOGY Edited by S. M. Sze の pp347-350に開示されている。このようにベースコンタクト抵抗に温度依存性が出てくると、温度によって回路特性が変化してしまうという問題点がある。

【0018】つまり、従来では、シリサイド反応によって p^+ 型ベース層の表面不純物濃度が低下するため、ベースコンタクト抵抗が上昇するという問題点とベースコンタクト抵抗に著しい温度依存性が発生するという問題点があった。

【0019】そこで、このような問題点を解決するために、次のような構造が考えられる。図39は、その提案例を示した断面構造図である。図39を参照して、この提案例では、従来に比べて不純物濃度のより高い p^{++} 型ベース層205を採用している。このようにより不純物濃度の高い p^{++} 型ベース層205を形成すれば、シリサイド反応によって p^{++} 型ベース層205の表面不純物濃度が低下したとしても、その低下した表面不純物濃度がたとえば 10^{18} cm^{-3} 以下になるのが容易に防止できる。これにより、ベースコンタクト抵抗の増大という問題点やベースコンタクト抵抗の温度依存性の発生という問題点も解決することができる。

6

【0020】しかしながら、このようにより高い不純物濃度を有する p^{++} 型ベース層205を形成すると、 p^{++} 型ベース層205とエミッタ層107との界面での不純物濃度差が大きくなる。これにより、 n^+ 型エミッタ層107からの電子が p^{++} 型ベース層205を通り抜けにくくなるため、エミッタベース間の増幅率が低下してしまうという問題点がある。また、 p^{++} 型ベース層205と n^+ エミッタ層107との界面での不純物濃度差が大きくなると、電解集中が発生しやすくなり、エミッタベース間の逆耐圧が低下してしまうという問題点もある。このように、シリサイド反応によるベース層の表面不純物濃度の低下を防止するために、より高い不純物濃度を有する p^{++} 型ベース層205を採用すると、新たに種々の問題点が発生するという不都合を生じる。

【0021】この発明は、上記のような課題を解決するためになされたもので、請求項1に記載の発明の1つの目的は、半導体装置において、新たな別の問題点を生じさせることなく、シリサイド反応によるベース層の表面不純物濃度の低下を有効に防止することである。

【0022】請求項1に記載の発明のもう1つの目的は、半導体装置において、電流増幅率の低下や耐圧の低下を引起すことなくシリサイド反応に起因するベースコンタクト抵抗の増大とベースコンタクト抵抗の温度依存性の発生とを有効に防止することである。

【0023】請求項2および3に記載の発明の目的は、半導体装置の製造方法において、新たな別の問題点を発生させることなくベースコンタクト抵抗の増大とベースコンタクト抵抗の温度依存性の発生とを有効に防止し得る半導体装置を容易に製造することである。

【0024】

【課題を解決するための手段】請求項1における半導体装置は、第1導電型のコレクタ不純物領域と、コレクタ不純物領域の主表面上の所定領域に形成された第1の不純物濃度を有する第2導電型のベース不純物領域と、ベース不純物領域の主表面上の所定領域に形成された第1の深さを有する第1導電型のエミッタ不純物領域と、ベース不純物領域の主表面上にエミッタ不純物領域と所定の間隔を隔てて形成され、第1の不純物濃度よりも高い第2の不純物濃度を有するとともに第1の深さよりも浅い第2の深さを有する第2導電型のベースコンタクト不純物領域と、少なくともベースコンタクト不純物領域上に形成された金属シリサイド層とを備えている。

【0025】請求項2における半導体装置の製造方法は、第1導電型のコレクタ不純物領域を形成する工程と、コレクタ不純物領域の主表面上の所定領域に第1の不純物濃度を有する第2導電型のベース不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に第1の深さを有する第1導電型のエミッタ不純物領域を形成する工程と、ベース不純物領域の主表面上のエミッタ不純物領域と所定の間隔を隔てた領域に、第2導電

7

型の不純物を導入することによって第1の不純物濃度よりも高い第2の不純物濃度を有するとともに第1の深さよりも浅い第2の深さを有するベースコンタクト不純物領域を形成する工程と、少なくともベースコンタクト不純物領域上に接触するように金属層を形成した後その金属層をシリサイド化する工程とを備えている。

【0026】請求項3における半導体装置の製造方法は、第1導電型のコレクタ不純物領域を形成する工程と、コレクタ不純物領域の主表面上の所定領域に第1の不純物濃度を有する第2導電型のベース不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に第1の深さを有する第1導電型のエミッタ不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に接触するように金属層を形成する工程と、金属層に第2導電型の不純物を導入する工程と、熱処理を施すことにより、金属層に導入された第2導電型の不純物をベース不純物領域の表面に拡散させて第1の不純物濃度よりも高い第2の不純物濃度を有しかつ第1の深さよりも浅い第2の深さを有するベースコンタクト不純物領域を形成するとともに金属層をシリサイド化する工程とを備えている。

【0027】

【作用】請求項1に係る半導体装置では、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上に第1の不純物濃度よりも高い第2の不純物濃度を有する第2導電型のベースコンタクト不純物領域が形成され、そのベースコンタクト不純物領域上に金属シリサイド層が形成されているので、金属シリサイド層の形成時のシリサイド反応によって金属シリサイド層にベースコンタクト不純物領域内の不純物が取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来に比べてベースコンタクト抵抗の上昇が有効に低減される。また、ベースコンタクト不純物領域はエミッタ不純物領域と所定の間隔を隔てて形成されているので、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域との側面とが接触することもない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。さらに、ベースコンタクト不純物領域は、エミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成されているので、ベースコンタクト不純物領域の側面方向の広がりも小さくなり、この結果素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するのが防止される。これにより、素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することによって生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。

8

【0028】請求項2に係る半導体装置の製造方法では、第1の不純物濃度を有するベース不純物領域の主表面上に第2導電型の不純物を導入することによってその第1の不純物濃度よりも高い第2の不純物濃度を有するベースコンタクト不純物領域が形成され、少なくともそのベースコンタクト不純物領域上に接触するように金属層が形成された後その金属層がシリサイド化されるので、金属層がシリサイド化する際にベースコンタクト不純物領域の不純物がシリサイド化によって形成される金属シリサイド層に取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、ベースコンタクト不純物領域は元々高濃度に形成されていることから、従来に比べてベースコンタクト抵抗の上昇が有効に防止される。また、ベースコンタクト不純物領域はエミッタ不純物領域と所定の間隔を隔てて形成されていることから、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することもない。これにより、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触した場合に生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。また、ベースコンタクト不純物領域はエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成されているので、ベースコンタクト不純物領域の側面方向の広がりも小さくなり、素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することはない。これにより、素子が微細化された場合にも、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することにより生じるエミッターベース間の逆耐圧の低下などの種々の不都合が防止される。

【0029】請求項3に係る半導体装置の製造方法では、ベース不純物領域の主表面上の所定領域に接触するように金属層が形成され、その金属層に第2導電型の不純物が導入され、その後、熱処理を施すことによって、金属層に導入された第2導電型の不純物が拡散されてベースコンタクト不純物領域が形成されるので、金属層に不純物を導入する際にその不純物濃度のピーク位置が金属層とベース不純物領域との界面近傍にくるように容易に制御可能である。これにより、より容易にベースコンタクト不純物領域の表面不純物濃度を高くすることが可能となる。この結果、ベースコンタクト不純物領域上に形成された金属層のシリサイド反応の際にベースコンタクト不純物領域の表面不純物濃度が低下したとしても、ベースコンタクト抵抗の上昇がより有効に防止される。また、この請求項3に係る半導体装置の製造方法では、ベース不純物領域の形成と同一工程で金属層がシリサイド化されるので、製造工程が短縮化される。

【0030】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

9

【0031】図1は、本発明の一実施例によるバイポーラトランジスタを含む半導体装置を示した断面構造図である。図1を参照して、このバイポーラトランジスタを含む半導体装置は、 p^+ 型シリコン基板1と、 p^+ 型シリコン基板1中に埋込むように形成された n^+ 型埋込拡散層2と、 p^+ 型シリコン基板1の主表面上の全面に形成された n^- 型エピタキシャル層3と、 n^- 型エピタキシャル層3の所定領域に形成された p^+ 型素子分離層4と、 p^+ 型素子分離層4に囲まれた n^- 型エピタキシャル層3の主表面上の所定領域に形成された n^+ 型コレクタ層6と、 n^+ 型コレクタ層6と所定の間隔を隔てた n^- 型エピタキシャル層3の主表面上の領域に形成された p^+ 型ベース層5と、 p^+ 型ベース層5の主表面上の所定領域に形成された n^+ 型エミッタ層7と、 n^+ 型エミッタ層7と所定の間隔を隔てた p^+ 型ベース層の主表面上に形成され、 p^+ ベース層の不純物濃度よりも高い不純物濃度を有するとともに n^+ 型エミッタ層7の拡散深さよりも浅い拡散深さを有するように形成された p^{++} 型ベースコンタクト層8とを備えている。

【0032】さらに図1に示した半導体装置は、 n^- 型エピタキシャル層3の表面上に形成され、 n^+ 型エミッタ層7、 p^{++} 型ベースコンタクト層8、 n^+ 型コレクタ層6上にそれぞれコンタクトホール9a、9b、9cを有する絶縁酸化膜9と、コンタクトホール9a、9b、9c内でそれぞれ n^+ 型エミッタ層7、 p^{++} 型ベースコンタクト層8、 n^+ 型コレクタ層6の表面上に接触して形成されたチタンシリサイド(TiSi₂)膜10a、10b、10cと、コンタクトホール9a、9b、9c内でチタンシリサイド膜10a、10b、10c上にそれぞれ形成された窒化チタン(TiN)層11a、11b、11cと、窒化チタン層11a、11b、11c上にそれぞれ形成されたアルミ配線膜12a、12b、12cと、全面を覆うように形成された保護膜13とを備えている。

【0033】チタンシリサイド層10a、10b、10cは、それぞれ N^+ 型エミッタ層7、 p^+ 型ベースコンタクト層8、 n^+ 型コレクタ層6との安定なコンタクトを得るために形成されるものであり、その厚みは60~100nm程度である。また、窒化チタン層11a、11b、11cは、それらの上に形成されるアルミ配線膜12a、12b、12cがアルミアロイスパイクを起こすのを防止するためのバリア層としての役割を果たすものであり、その厚みは30~70nm程度である。 n^+ 型コレクタ層6は、 $5.0 \times 10^{20} \text{cm}^{-3}$ の程度の不純物濃度と、0.2~0.5 μm 程度の拡散深さを有している。 p^+ 型ベース層5は、 $2.0 \times 10^{16} \sim 8.0 \times 10^{16} \text{cm}^{-3}$ 程度の不純物濃度と0.7~1.2 μm 程度の拡散深さを有している。また、 n^+ 型エミッタ層7は、 $5.0 \times 10^{20} \text{cm}^{-3}$ 程度の不純物濃度と0.2~0.5 μm 程度の拡散深さを有している。 p^{++} 型ベース

10

コンタクト層8は、 $1.0 \times 10^{19} \text{cm}^{-3}$ 程度以上の不純物濃度と0.1~0.4 μm 程度の拡散深さを有している。なお、 p^+ 型素子分離層4によって囲まれた領域の n^- 型エピタキシャル層3と、 n^+ 型コレクタ層6とによって、コレクタ領域が構成されている。

【0034】ここで、本実施例では、 p^+ 型ベース層5のベースコンタクト領域に、 p^+ 型ベース層5よりも不純物濃度が高くかつ p^+ 型エミッタ層7よりも拡散深さが浅い p^{++} 型ベースコンタクト層8を設けている。これにより、以下のような効果が得られる。

【0035】すなわち、 p^+ 型ベース層5のベースコンタクト領域に p^+ 型ベース層5の不純物濃度よりも高い不純物濃度を有する p^{++} 型ベースコンタクト層8を形成することによって、チタンシリサイド膜10bの形成時のシリサイド反応により p^{++} 型ベースコンタクト層8の不純物がチタンシリサイド膜10bに取込まれて p^{++} 型ベースコンタクト層8の表面不純物濃度が低下したとしても、その低下後の p^{++} 型ベースコンタクト層8の表面不純物濃度を容易に $1.0 \times 10^{19} \text{cm}^{-3}$ 程度以上にすることができる。

【0036】図2は、図1に示した半導体装置のA₂-A₂線に沿った不純物プロファイル図である。図2を参照して、チタンシリサイド膜10bの形成後の p^{++} 型ベースコンタクト層8の表面不純物濃度は、 $1.0 \times 10^{19} \text{cm}^{-3}$ 程度以上になっていることが分かる。このようにシリサイド反応後の p^{++} 型ベースコンタクト層8の表面不純物濃度を $1.0 \times 10^{19} \text{cm}^{-3}$ 程度以上にするためには、後述するように、シリサイド反応前の p^{++} 型ベースコンタクト層8の表面不純物濃度を $1.0 \times 10^{20} \text{cm}^{-3}$ 程度以上にしておく必要がある。本実施例では、このようにシリサイド反応後の p^{++} 型ベースコンタクト領域8の表面不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 程度以上になるように構成しているので、チタンシリサイド膜10bの形成時のシリサイド反応によって従来のようにベースコンタクト抵抗が上昇するのを有効に防止することができる。この結果、バイポーラトランジスタの動作速度の低下を防止することができるとともに、ベースコンタクト領域での安定で低抵抗なオーミックコンタクトを得ることができる。

【0037】また、シリサイド化後の p^{++} 型ベースコンタクト層8の表面不純物濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ 以上のなるように構成することによって、図38に示した従来のようにベースコンタクト抵抗に温度依存性が出てくるという不都合も生じない。図3は、 p^{++} 型ベースコンタクト層8の表面不純物濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ 以上の場合のベースコンタクト抵抗と温度との関係を示した相関図である。図3を参照して、 p^{++} 型ベースコンタクト層8の表面不純物濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ 以上である場合には、ベースコンタクト抵抗が温度によってほとんど変化せず、ベースコンタクト抵抗に温度依存

11

性がほとんどないことが分かる。これにより、本実施例では、ベースコンタクト抵抗の温度依存性に起因して発生する温度変化による回路特性の変化を有効に防止することができる。

【0038】さらに、本実施例では、図39に示した提案例と異なり、 p^{++} 型ベースコンタクト層8が n^{+} 型エミッタ層7と所定の間隔を隔てた p^{+} 型ベース層5のベースコンタクト領域に形成されている。これにより、高濃度の p^{++} 型ベースコンタクト層8と n^{+} 型エミッタ層7とが接触することもない。この結果、高濃度の p^{++} 型ベースコンタクト層8と n^{+} 型エミッタ層7とが接触した場合に生じるエミッターベース間の逆耐圧の低下や、電流増幅率の低下という不都合も生じない。したがって、本実施例では、エミッターベース間の逆耐圧や電流増幅率を低下させることなく、ベースコンタクト領域において安定で低抵抗なオーミックコンタクトを得ることができる。

【0039】また、本実施例では、図1に示したように、 p^{++} 型ベースコンタクト層8の拡散深さを n^{+} 型エミッタ層7の拡散深さよりも浅く形成することによって、半導体装置の高集積化に伴って素子が微細化された場合にも高濃度の p^{++} 型ベースコンタクト層8の側面と n^{+} 型エミッタ層7の側面とが接触するのを有効に防止することができる。すなわち、本実施例では、 p^{++} 型ベースコンタクト層8の拡散深さを n^{+} 型エミッタ層7の拡散深さよりも浅くすることによって、 p^{++} 型ベースコンタクト層8の側面の広がり小さくすることができる。これにより、素子が微細化された場合にも、高濃度の p^{++} 型ベースコンタクト層8の側面と n^{+} 型エミッタ層7の側面とが接触するのが防止される。

【0040】図4は、 p^{++} 型ベースコンタクト層18の拡散深さが n^{+} 型エミッタ層7の拡散深さよりも深くなった場合の不都合を説明するための断面構造図である。図4を参照して、素子が微細化されて n^{+} 型エミッタ層7と p^{++} 型ベースコンタクト層18との間隔が狭くなった場合において、 p^{++} 型ベースコンタクト層18の拡散深さが n^{+} 型エミッタ層7の拡散深さよりも深くなると、高濃度の p^{++} 型ベースコンタクト層18の側面と n^{+} 型エミッタ層7の側面とが接触することになる。この結果、エミッターベース間の逆耐圧の低下や電流増幅率の低下を引き起こすという不都合が生じる。したがって、半導体装置の高集積化に伴って素子が微細化された場合には、図1に示した本実施例のように、 p^{++} 型ベースコンタクト層8の拡散深さを n^{+} 型エミッタ層7の拡散深さよりも浅く形成して p^{++} 型ベースコンタクト層8の側面の広がりを小さくするのが有効である。

【0041】図5～図12、図14、図16および図17は、図1に示した一実施例による半導体装置の製造プロセスを説明するための断面構造図である。図13は図12に示した工程における X_3-X_3 線に沿った不

12

純物プロファイル図であり、図15は図14に示した工程における X_4-X_4 線に沿った不純物プロファイル図である。図5～図17を参照して、次に本実施例の半導体装置の製造プロセスについて説明する。

【0042】まず、図5に示すように、 p^{+} 型シリコン基板1中に n^{+} 型埋込拡散層2を形成する。そして、 p^{+} 型シリコン基板1の表面上の全面に n^{-} 型エピタキシャル層3を形成する。 n^{-} 型エピタキシャル層3の所定領域に素子分離のための p^{+} 型素子分離層4を形成する。そして、 n^{-} 型エピタキシャル層3上に絶縁酸化膜9を形成する。

【0043】次に、図6に示すように、 n^{-} 型エピタキシャル層3の主表面上の所定領域に絶縁酸化膜9を介して p 型の不純物をイオン注入法などを用いて導入する。この導入した不純物を活性化することによって、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度と $0.7 \sim 1.2 \mu\text{m}$ 程度の拡散深さを有する p^{+} 型ベース層5を形成する。

【0044】次に、図7に示すように、絶縁酸化膜9の表面上の所定領域に写真製版技術を用いてフォトレジスト20を形成した後、そのフォトレジスト20をマスクとして絶縁酸化膜9を異方性エッチングする。これにより、コンタクトホール9a、9b、および9cを形成する。この後、フォトレジスト20を除去する。

【0045】次に、図8に示すように、バイポーラトランジスタのベース電極が形成される領域のコンタクトホール9bを覆うように写真製版技術を用いてフォトレジスト21を形成する。その後、砒素イオン(As^{+})などの n 型の不純物を全面にイオン注入する。そしてそのイオン注入した不純物を活性化することによって、図9に示されるような、 $5.0 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度および $0.2 \sim 0.5 \mu\text{m}$ 程度の拡散深さを有する n^{+} 型コレクタ層6と、 $5.0 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度および $0.2 \sim 0.5 \mu\text{m}$ 程度の拡散深さを有する n^{+} 型エミッタ層7とを形成する。この後レジスト21(図8参照)を除去する。

【0046】次に、図10に示すように、コンタクトホール9b以外の部分を覆うように写真製版技術を用いてフォトレジスト22を形成する。フォトレジスト22および絶縁酸化膜9をマスクとして、 p^{+} 型ベース層5の表面領域にイオン注入法などを用いて BF_2^{+} などの p 型の不純物を自己整合的に導入する。そして、その導入した不純物を 900°C 以下の温度条件下で活性化することによって、図11に示されるような、 n^{+} 型エミッタ層7の拡散深さよりも浅い拡散深さ($0.1 \sim 0.4 \mu\text{m}$ 程度)と $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度以上の表面不純物濃度とを有する p^{++} 型ベースコンタクト層8を形成する。

【0047】次に、図12に示すように、全面を覆うように $40 \sim 100 \text{ nm}$ 程度の厚みを有するチタン(Ti)膜23をスパッタリング法などを用いて形成する。

13

ここで、図13を参照して、図12に示したシリサイド反応前の工程では、 p^{++} 型ベースコンタクト層8の表面不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上に設定されている。

【0048】この状態から、図14に示すように、750～850℃の温度条件下で N_2 雰囲気中で30秒間程度の熱処理を行なうことによって、チタンシリサイド

(TiSi_2)膜10a、10b、および10cと、窒化チタン(TiN)層11とを形成する。すなわち、チタン層23のチタン(Ti)と n^- 型エピタキシャル層3のシリコン(Si)とをシリサイド反応させることによって、 n^+ 型エミッタ層7、 p^{++} 型ベースコンタクト層8、 n^+ 型コレクタ層6の表面上にそれぞれチタンシリサイド(TiSi_2)膜10a、10b、10cを形成する。そしてこれと同時に、チタン(Ti)層23を N_2 雰囲気中で窒化することによって窒化チタン(TiN)層11を形成する。チタンシリサイド膜10a、10b、および10cはそれぞれ60～100nm程度の膜厚に形成され、窒化チタン層11は30～70nm程度の膜厚に形成される。ここで、図14に示したシリサイド反応後の p^{++} 型ベースコンタクト層8の表面不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度にまで低下していることが分かる。これは、シリサイド反応の際にチタンシリサイド(TiSi_2)膜15bに p^{++} 型ベースコンタクト層8の不純物が取込まれるためである。しかし、本実施例では、このようにシリサイド反応によって p^{++} 型ベースコンタクト層8の表面不純物濃度が低下したとしても、その低下後の p^{++} 型ベースコンタクト層8の表面不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上になるように形成されている。したがって、シリサイド反応によって p^{++} 型ベースコンタクト層8の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が急激に増加してしまうという不都合もない。これにより、バイポーラトランジスタの動作速度の低下を有効に防止することができるとともに、ベースコンタクト領域での安定で低抵抗なオーミックコンタクトを得ることができる。

【0049】次に、図16に示すように、窒化チタン層11上にアルミ配線層12を形成した後、そのアルミ配線層12上の所定領域に写真製版技術を用いてフォトレジスト24を形成する。フォトレジスト24をマスクとして、アルミ配線層12、窒化チタン層11を異方性エッチングすることによって、図17に示すような、窒化チタン(TiN)膜11a、11b、11cと、アルミ配線膜12a、12b、12cを形成する。

【0050】最後に、図1に示したように、全面を覆うように保護膜13を形成することによって、本実施例のバイポーラトランジスタを含む半導体装置が完成される。

【0051】図18～図21は、図1に示した一実施例による半導体装置の他の製造プロセスを説明するための

14

断面構造図である。図1および、図18～図21を参照して、次に本実施例の半導体装置の他の製造プロセスについて説明する。

【0052】まず、図18に示すように、図5～図12に示した一の製造プロセスと同様の製造プロセスを用いて、チタン膜23までを形成する。その後、チタン膜23上のベース電極領域に対応する領域以外の領域に写真製版技術を用いてフォトレジスト25を形成する。そのフォトレジスト25をマスクとして、チタン膜23に BF_2 または B イオンをイオン注入する。このチタン膜23へのイオン注入は、チタン膜23と p^+ 型ベース層5との界面近傍に不純物濃度のピークが来るように行なう。具体的には、その界面近傍の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上になるようにイオン注入を行なう。この後フォトレジスト25を除去する。

【0053】次に、図19に示すように、750～850℃の温度条件下で N_2 雰囲気中で30秒間程度熱処理を行なう。これにより、チタンシリサイド(TiSi_2)膜10a、10b、10cと、窒化チタン(TiN)層11と、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上の不純物濃度および n^+ 型エミッタ層7の拡散深さよりも浅い0.1～0.4 μm 程度の拡散深さを有する p^{++} 型ベースコンタクト層28とを自己整合的に形成する。すなわち、熱処理によってチタン膜23のチタン(Ti)と n^- 型エピタキシャル層3のシリコン(Si)とをシリサイド反応させることによってチタンシリサイド(TiSi_2)膜10a、10b、10cを形成するとともに、チタン膜23を N_2 雰囲気中で窒化することによって窒化チタン(TiN)層11を形成する。さらに、この熱処理の際に、同時にチタン膜23に導入した p 型の不純物を p^+ 型ベース層5内に熱拡散させることによって、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上の不純物濃度を有し、かつ n^+ 型エミッタ層7の拡散深さよりも浅い0.1～0.4 μm 程度の拡散深さを有する p^{++} 型ベースコンタクト層28を形成する。

【0054】このように、この他の製造プロセスでは、チタンシリサイド膜10a、10b、および10cの形成時に同時に p^{++} 型ベースコンタクト層28を形成するので、図5～図17を用いて説明した一の製造プロセスと比較して、 p^{++} 型ベースコンタクト層28の活性化工程(図11参照)を省略することができる。これにより、製造プロセスを簡略化することができる。また、この他の製造プロセスでは、チタン膜23に不純物をイオン注入した後、その注入した不純物を熱拡散させるので、不純物のイオン注入時に不純物濃度のピーク位置がチタン膜23と p^+ 型ベース層5との界面近傍に来るように容易に制御可能である。これにより、その注入した不純物を拡散させることによって形成される p^{++} 型ベースコンタクト層28の表面不純物濃度を容易に高くすることができ、また p^{++} 型ベースコンタクト層28の拡散

15

深さを浅く形成することができる。

【0055】この後、図20に示すように、窒化チタン層11上にアルミ配線層12を形成する。アルミ配線層12上の所定領域に写真製版技術を用いてフォトレジスト24を形成する。フォトレジスト24をマスクとしてアルミ配線層12および窒化チタン層11を異方性エッチングする。これにより、図21に示されるような、窒化チタン(TiN)膜11a、11b、11cと、アルミ配線膜12a、12b、12cとが形成される。

【0056】最後に、図1に示したように、全面を覆うように保護膜13を形成する。このような他の製造プロセスによっても、図1に示したバイポーラトランジスタを含む半導体装置を形成することができる。

【0057】なお、上述の実施例では、チタンシリサイド膜10a、10b、および10cを形成する場合について述べたが、本発明はこれに限らず、チタンシリサイド膜10a、10b、10c以外の金属シリサイド膜が形成される場合にも適用可能である。たとえば、ZrSix、HfSix、VSix、NbSix、TaSix、CrSix、MoSix、WSix、FeSix、RuSix、OsSix、RhSix、IrSixが形成される場合にも適用可能である。

【0058】

【発明の効果】請求項1に記載の半導体装置によれば、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上にその第1の不純物濃度よりも高い第2の不純物濃度を有する第2導電型のベースコンタクト不純物領域を形成し、少なくともそのベースコンタクト不純物領域上に金属シリサイド層を形成することによって、その金属シリサイド層の形成時にベースコンタクト不純物領域の不純物が金属シリサイド層に取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が上昇するのを有効に防止することができる。これにより、素子の動作速度の低下を有効に防止できるとともに、ベースコンタクト領域での安定で低抵抗な、オーミックコンタクトを得ることができる。また、ベースコンタクト不純物領域をエミッタ不純物領域と所定の間隔を隔てて形成することによって、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することがない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の耐圧の低下などの種々の不都合を防止することができる。さらに、ベースコンタクト不純物領域をエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成することによって、ベースコンタクト不純物領域の側面の広がり小さくすることができる。これにより、半導体装置の集積化に伴って素子が微細化された場合にも、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するの

16

を有効に防止することができる。

【0059】請求項2に記載の半導体装置の製造方法によれば、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上に第2導電型の不純物を導入することによって第1の不純物濃度よりも高い第2の不純物濃度を有するベースコンタクト不純物領域を形成し、少なくともそのベースコンタクト不純物領域上に接触するように金属層を形成した後その金属層をシリサイド化することにより、金属層のシリサイド化の際に形成される金属シリサイド層にベースコンタクト不純物領域の不純物が取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が急激に上昇するのを有効に防止することができる。これにより、半導体装置の動作速度が低下するのを防止することができる。また、ベースコンタクト不純物領域をエミッタ不純物領域と所定の間隔を隔てた領域に形成することによって、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触するのを防止することができる。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することによって生じるエミッターベース間の耐圧の低下などの種々の不都合を防止することができる。さらに、ベースコンタクト不純物領域をエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成することによって、ベースコンタクト不純物領域の側面方向の広がりも小さくすることができる。これにより、半導体装置の高集積化に伴って素子が微細化された場合にも、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するのを有効に防止することができる。

【0060】請求項3に記載の半導体装置の製造方法によれば、ベース不純物領域の主表面上の所定領域の接触するように金属層を形成し、その金属層に第2導電型の不純物を導入し、熱処理を施すことによって、その金属層の導入された第2導電型の不純物を第1の不純物濃度を有するベース不純物領域の表面に拡散させてその第1の不純物濃度よりも高い第2の不純物濃度を有しかつ第1の深さよりも浅い第2の深さを有するベースコンタクト不純物領域を形成するとともに金属層をシリサイド化することによって、金属層のシリサイド化工程とベースコンタクト不純物領域の形成工程を同一の工程で行なうことができ、製造工程を簡略化することができる。また、金属層に不純物を導入した後その導入した不純物を拡散させることによってベースコンタクト不純物領域を形成するので、金属層に不純物を導入する際にその不純物濃度のピーク位置が金属層とベース不純物領域との界面近傍に来るように容易に制御することができる。これにより、金属層の不純物を拡散させることによって形成されるベースコンタクト不純物領域の表面不純物濃度が高くなるように容易の形成することができ、またベース

17

コンタクト不純物領域をより浅く形成することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例によるバイポーラトランジスタを含む半導体装置を示した断面構造図である。

【図 2】図 1 に示した半導体装置の A₂ - A₂ 線に沿った不純物プロファイル図である。

【図 3】図 1 に示した半導体装置の p⁺⁺型ベースコンタクト層の表面不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上である場合のベースコンタクト抵抗と温度との関係を示した相関図である。

【図 4】半導体装置が高集積化された場合において p⁺⁺型ベースコンタクト層の拡散深さが n⁺型エミッタ層の拡散深さよりも深くなったときの不都合を説明するための断面図構造図である。

【図 5】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 1 工程を説明するための断面構造図である。

【図 6】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 2 工程を説明するための断面構造図である。

【図 7】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 3 工程を説明するための断面構造図である。

【図 8】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 4 工程を説明するための断面構造図である。

【図 9】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 5 工程を説明するための断面構造図である。

【図 10】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 6 工程を説明するための断面構造図である。

【図 11】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 7 工程を説明するための断面構造図である。

【図 12】図 1 に示した一実施例の半導体装置の一の製造プロセスの第 8 工程を説明するための断面構造図である。

【図 13】図 12 に示した工程における X₃ - X₃ 線に沿った不純物プロファイル図である。

【図 14】図 1 に示した一実施例による半導体装置の一の製造プロセスの第 9 工程を説明するための断面構造図である。

【図 15】図 14 に示した工程における X₄ - X₄ 線に沿った不純物プロファイル図である。

【図 16】図 1 に示した一実施例による半導体装置の一の製造プロセスの第 10 工程を説明するための断面構造図である。

【図 17】図 1 に示した一実施例による半導体装置の一

18

の製造プロセスの第 11 工程を説明するための断面構造図である。

【図 18】図 1 に示した一実施例による半導体装置の他の製造プロセスの第 1 工程を説明するための断面構造図である。

【図 19】図 1 に示した一実施例による半導体装置の他の製造プロセスの第 2 工程を説明するための断面構造図である。

【図 20】図 1 に示した一実施例による半導体装置の他の製造プロセスの第 3 工程を説明するための断面構造図である。

【図 21】図 1 に示した一実施例による半導体装置の他の製造プロセスの第 4 工程を説明するための断面構造図である。

【図 22】従来のバイポーラトランジスタを含む半導体装置を示した断面構造図である。

【図 23】図 22 に示した従来の半導体装置の製造プロセスの第 1 工程を説明するための断面構造図である。

【図 24】図 22 に示した従来の半導体装置の製造プロセスの第 2 工程を説明するための断面構造図である。

【図 25】図 22 に示した従来の半導体装置の製造プロセスの第 3 工程を説明するための断面構造図である。

【図 26】図 22 に示した従来の半導体装置の製造プロセスの第 4 工程を説明するための断面構造図である。

【図 27】図 22 に示した従来の半導体装置の製造プロセスの第 5 工程を説明するための断面構造図である。

【図 28】図 22 に示した従来の半導体装置の製造プロセスの第 6 工程を説明するための断面構造図である。

【図 29】図 22 に示した従来の半導体装置の製造プロセスの第 7 工程を説明するための断面構造図である。

【図 30】図 22 に示した従来の半導体装置の製造プロセスの第 8 工程を説明するための断面構造図である。

【図 31】図 22 に示した従来の半導体装置の製造プロセスの第 9 工程を説明するための断面構造図である。

【図 32】図 22 に示した従来の半導体装置の製造プロセスの第 10 工程を説明するための断面構造図である。

【図 33】図 28 に示した工程における X₁ - X₁ 線に沿った不純物プロファイル図である。

【図 34】図 29 に示した工程における X₂ - X₂ 線に沿った不純物プロファイル図である。

【図 35】図 32 に示した一連の製造プロセス終了後における A₁ - A₁ 線に沿った不純物プロファイル図である。

【図 36】図 32 に示した一連の製造プロセス終了後における B₁ - B₁ 線に沿った不純物プロファイル図である。

【図 37】チタンシリサイドとシリコンとの界面不純物濃度と、ベースコンタクト抵抗値との関係を示した相関図である。

【図 38】p⁺型ベース層の表面不純物濃度が $1.0 \times$

19

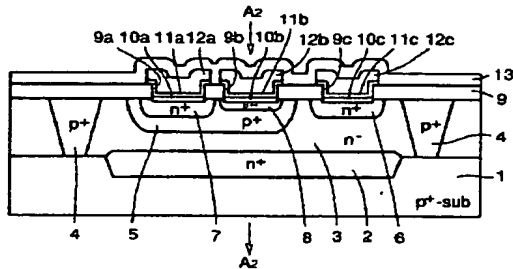
10¹⁷以下である場合のベースコンタクト抵抗と温度との関係を示した相関図である。

【図3】従来の問題点を解決するための提案例の構造を示した断面構造図である。

【符号の説明】

- 1 : p型シリコン基板
- 3 : n⁻型エピタキシャル層
- 5 : p⁺型ベース層

【図1】



- 1 p⁺型シリコン基板
- 3 n⁻型エピタキシャル層
- 5 p⁺型ベース層
- 6 n⁺型コレクタ層
- 7 n⁺型エミッタ層
- 8 p⁺⁺型ベースコンタクト層
- 9a, 10a, 10c: チタンシリサイド (TiSi₂) 膜
- 11a, 11b, 11c: 窒化チタン (TiN) 膜

20

* 6 : n⁺型コレクタ層

7 : n⁺型エミッタ層

8 : p⁺⁺型ベースコンタクト層

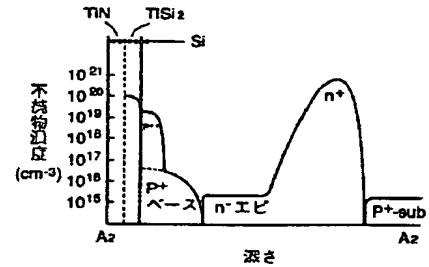
10a, 10b, 10c : チタンシリサイド (TiSi₂) 膜

11a, 11b, 11c : 窒化チタン (TiN) 膜

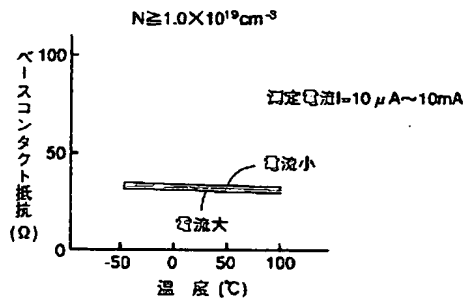
12a, 12b, 12c : アルミ配線膜

* なお、各図中、同一符号は同一または相当部分を示す。

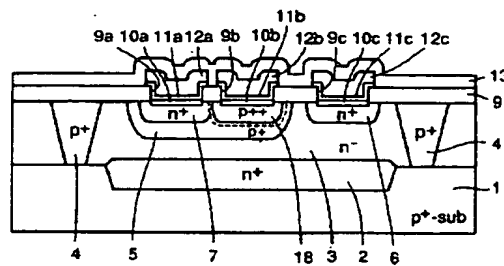
【図2】



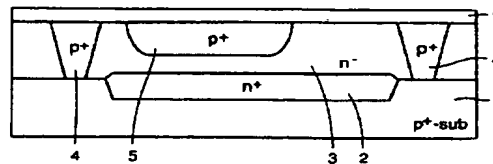
【図3】



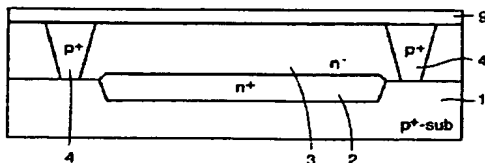
【図4】



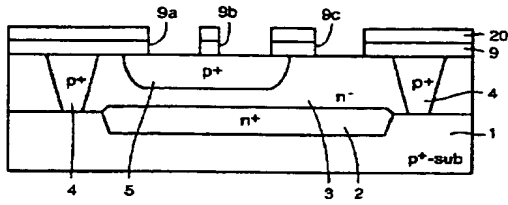
【図6】



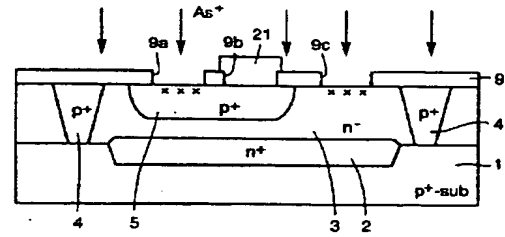
【図5】



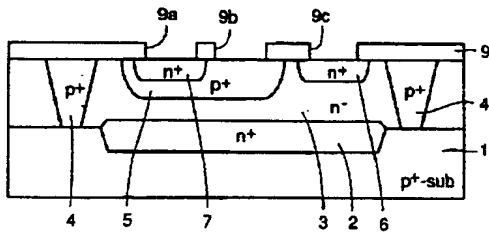
【図 7】



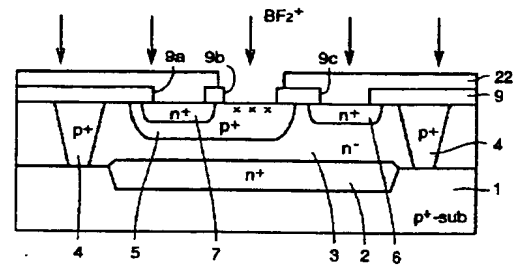
【図 8】



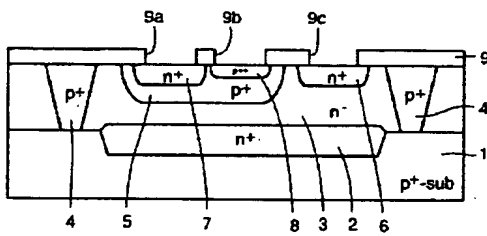
【図 9】



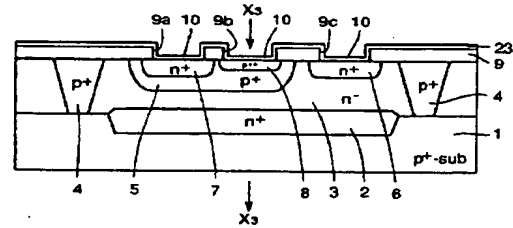
【図 10】



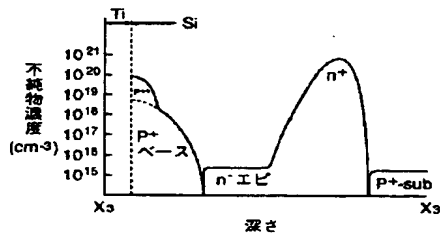
【図 11】



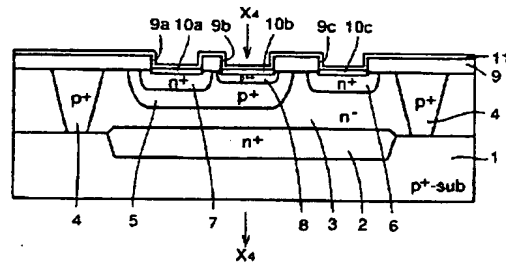
【図 12】



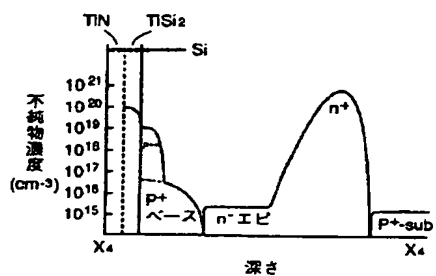
【図 13】



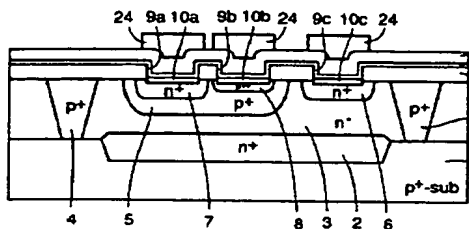
【図 14】



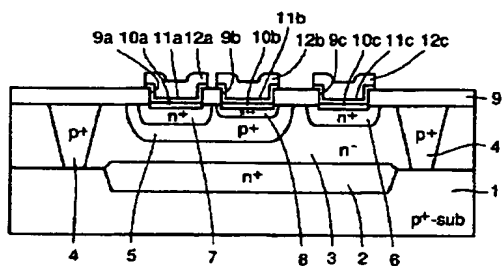
【図15】



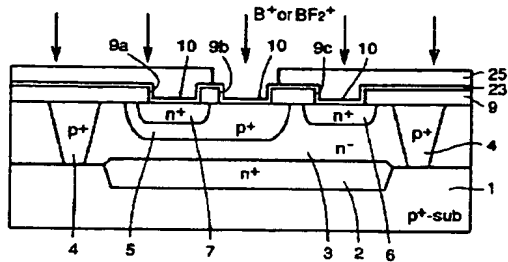
【図16】



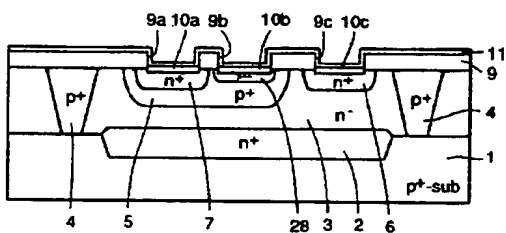
【図17】



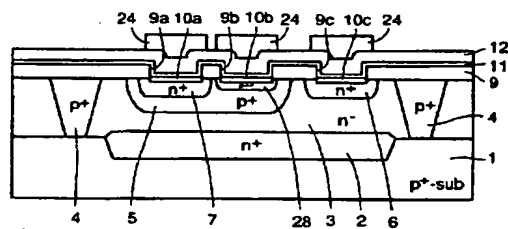
【図18】



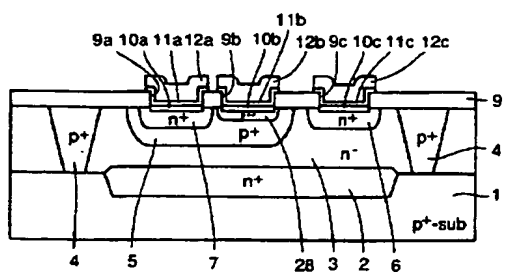
【図19】



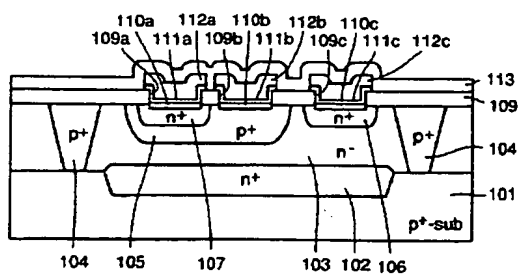
【図20】



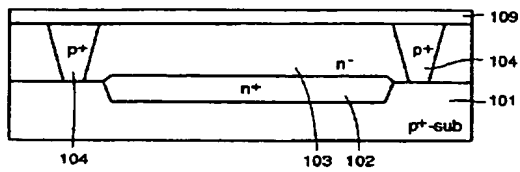
【図21】



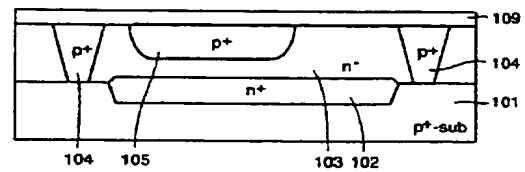
【図22】



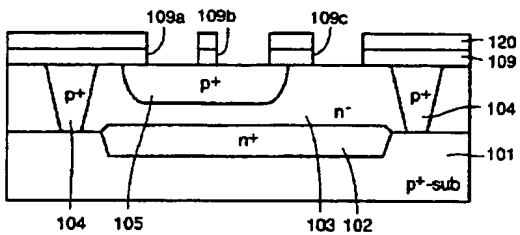
【図 2 3】



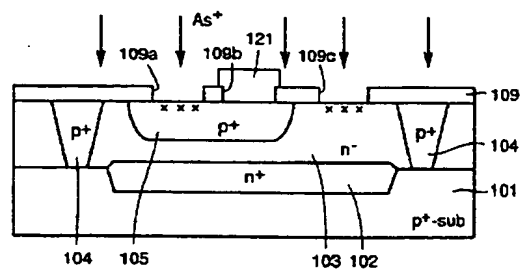
【図 2 4】



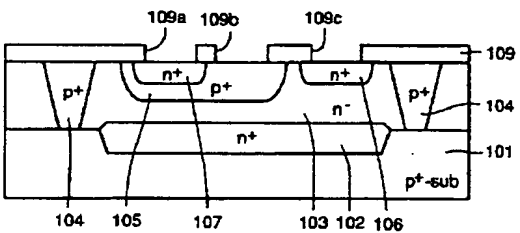
【図 2 5】



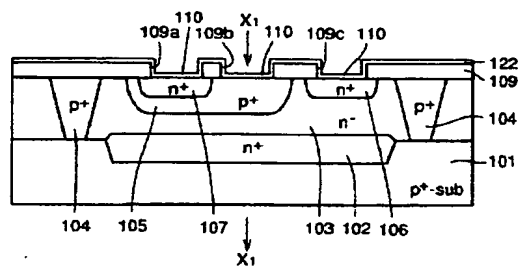
【図 2 6】



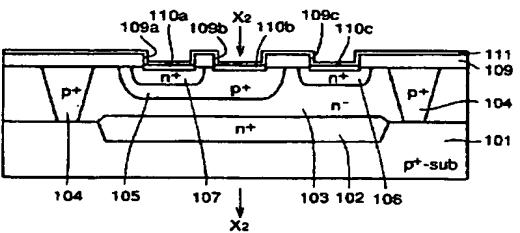
【図 2 7】



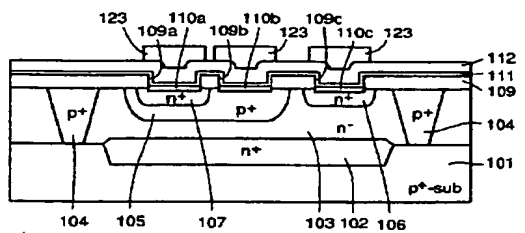
【図 2 8】



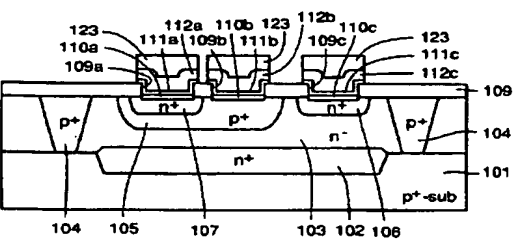
【図 2 9】



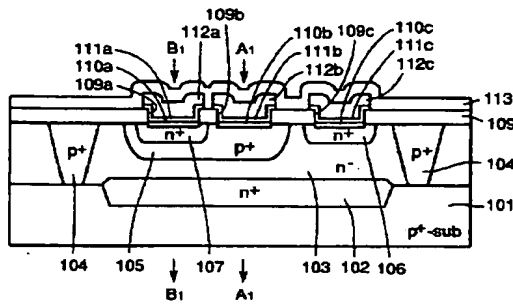
【図 3 0】



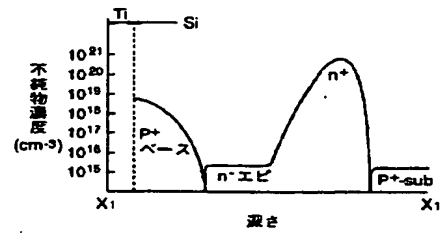
【図 3 1】



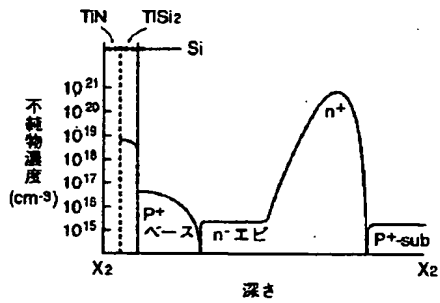
【図32】



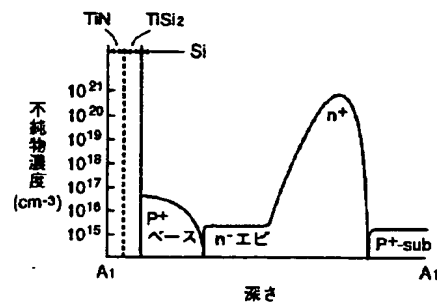
【図33】



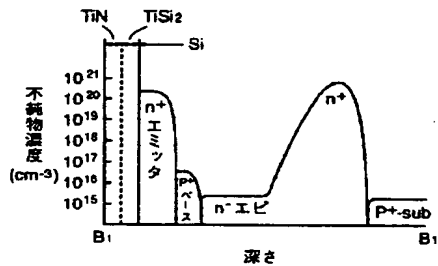
【図34】



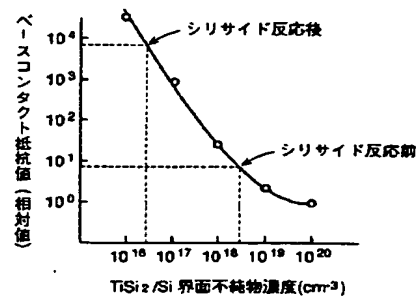
【図35】



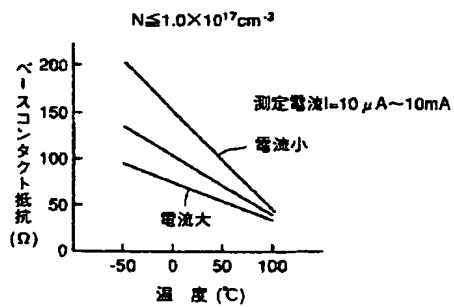
【図36】



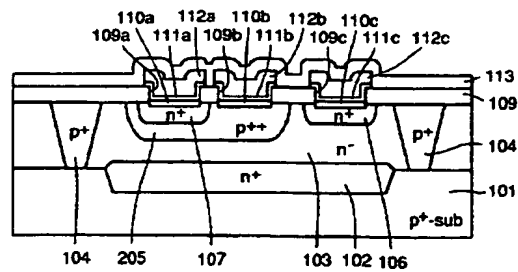
【図37】



【図38】



【図39】



【手続補正書】

【提出日】平成 5 年 9 月 3 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】第 1 導電型のコレクタ不純物領域と、

前記コレクタ不純物領域の主表面上の所定領域に形成された第 1 の不純物濃度を有する第 2 導電型のベース不純物領域と、

前記ベース不純物領域の主表面上の所定領域に形成された第 1 の深さを有する第 1 導電型のエミッタ不純物領域と、

前記ベース不純物領域の主表面上に前記エミッタ不純物領域と所定の間隔を隔てて形成され、前記第 1 の不純物濃度よりも高い第 2 の不純物濃度を有するとともに前記第 1 の深さよりも浅い第 2 の深さを有する第 2 導電型のベースコンタクト不純物領域とを備えた、半導体装置。

【請求項 2】第 1 導電型のコレクタ不純物領域と、

前記コレクタ不純物領域の主表面上の所定領域に形成された第 1 の不純物濃度を有する第 2 導電型のベース不純物領域と、

前記ベース不純物領域の主表面上の所定領域に形成された第 1 導電型のエミッタ不純物領域と、

前記ベース不純物領域の主表面上に前記エミッタ不純物領域と所定の間隔を隔てて形成され、前記第 1 の不純物濃度よりも高い第 2 の不純物濃度を有する第 2 導電型のベースコンタクト不純物領域と、

少なくとも前記ベースコンタクト不純物領域上に形成された金属シリサイド層とを備えた、半導体装置。

【請求項 3】第 1 導電型のコレクタ不純物領域を形成する工程と、

前記コレクタ不純物領域の主表面上の所定領域に第 1 の不純物濃度を有する第 2 導電型のベース不純物領域を形成する工程と、

前記ベース不純物領域の主表面上の所定領域に第 1 の深さを有する第 1 導電型のエミッタ不純物領域を形成する工程と、

前記ベース不純物領域の主表面上の前記エミッタ不純物領域と所定の間隔を隔てた領域に、第 2 導電型の不純物を導入することによって前記第 1 の不純物濃度よりも高い第 2 の不純物濃度を有するとともに前記第 1 の深さよりも浅い第 2 の深さを有するベースコンタクト不純物領域を形成する工程とを備えた、半導体装置の製造方法。

【請求項 4】第 1 導電型のコレクタ不純物領域を形成する工程と、

前記コレクタ不純物領域の主表面上の所定領域に第 1 の不純物濃度を有する第 2 導電型のベース不純物領域を形成する工程と、

前記ベース不純物領域の主表面上の所定領域に第 1 の深さを有する第 1 導電型のエミッタ不純物領域を形成する工程と、

前記ベース不純物領域の主表面上の所定領域に接触するように金属層を形成する工程と、

前記金属層に第 2 導電型の不純物を導入する工程と、熱処理を施すことにより、前記金属層に導入された第 2 導電型の不純物を前記ベース不純物領域の表面に拡散させて前記第 1 の不純物濃度よりも高い第 2 の不純物濃度を有しかつ前記第 1 の深さよりも浅い第 2 の深さを有するベースコンタクト不純物領域を形成するとともに前記金属層をシリサイド化する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置およびその製造方法に関し、特に、バイポーラトランジスタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、半導体素子の 1 つとしてバイポーラトランジスタが知られている。図 22 は、従来のバイポーラトランジスタを含む半導体装置を示した断面構造図である。図 22 を参照して、従来のバイポーラトランジスタを含む半導体装置は、 p^+ 型シリコン基板 101 と、 p^+ 型シリコン基板 101 の主表面上の所定領域に形成された n^+ 型埋込拡散層 102 と、 p^+ 型シリコン基板 101 の主表面上の全面に形成された n^- 型エピタキシャル層 103 と、 n^- 型エピタキシャル層 103 の所定領域に形成された p^+ 型素子分離層 104 と、 p^+ 型素子分離層 104 に囲まれた n^- 型エピタキシャル層 103 の主表面上の所定領域に形成された n^+ 型コレクタ層 106 と、 n^+ 型コレクタ層 106 から所定の間隔を隔てた n^- 型エピタキシャル層 103 の主表面上の領域に形成された p^+ 型ベース層 105 と、 p^+ 型ベース層 105 の主表面上の所定領域に形成された n^+ 型エミッタ層 107 とを備えている。

【0003】さらに、従来のバイポーラトランジスタを含む半導体装置は、 n^- 型エピタキシャル層 103 の主表面上に形成され、 n^+ 型エミッタ層 107、 p^+ 型ベース層 105、 n^+ 型コレクタ層 106 上にそれぞれコンタクトホール 109a、109b、109c を有する絶縁酸化膜 109 と、コンタクトホール 109a、109b、109c 内でそれぞれ n^+ 型エミッタ層 107、 p^+ 型ベース層 105、 n^+ 型コレクタ層 106 の表面に接触するように形成されたチタンシリサイド ($TiSi_2$) 膜 110a、110b、110c と、チタンシリ

サイド膜110a、110b、110c上にそれぞれ形成された窒化チタン(TiN)膜111a、111b、111cと、窒化チタン膜111a、111b、111c上にそれぞれ形成されたアルミ配線膜112a、112b、112cと、全面を覆うように形成された保護膜113とを備えている。

【0004】チタンシリサイド膜110a、110b、110cは、それぞれn⁺型エミッタ層107、p⁺型ベース層105、n⁺型コレクタ層106とのオーミックコンタクトをとるために形成されるものである。また、窒化チタン膜111a、111b、111cは、それらの上に形成されるアルミ配線層112a、112b、112cによるアルミニウムアロイスバイクを防止するためのバリア層としての役割を果たすものである。なお、p⁺型素子分離層104によって囲まれた領域のn⁻エピタキシャル層103と、n⁺コレクタ層106とによって、コレクタ領域が構成されている。

【0005】図23～図31は、図22に示した従来のバイポーラトランジスタを含む半導体装置の製造プロセスを説明するための断面構造図である。図23～図31を参照して、次に従来の半導体装置の製造プロセスについて説明する。

【0006】まず、図23に示すように、p⁺型シリコン基板101中にn⁺型埋込拡散層102を形成する。そして、p⁺型シリコン基板101の表面の全面にn⁻型エピタキシャル層103を形成する。n⁻型エピタキシャル層103の所定領域にp⁺型素子分離層104を形成する。n⁻型エピタキシャル層103の主表面上に絶縁酸化膜109を形成する。

【0007】次に、図24に示すように、p⁺型素子分離層104によって囲まれたn⁻型エピタキシャル層103の主表面上の所定領域に、絶縁酸化膜109を介してp型の不純物をイオン注入法などを用いて導入する。この後、その導入したp型の不純物を活性化することによって、100～1000Ω/□の抵抗値、0.3～1.5nmの拡散深さ、 $\sim 5 \times 10^{18} \text{cm}^{-3}$ 程度の表面不純物濃度を有するp⁺型ベース層105を形成する。

【0008】次に、図25に示すように、絶縁酸化膜109上の所定領域に写真製版技術を用いてフォトレジスト120を形成する。そしてそのフォトレジスト120をマスクとしてバイポーラトランジスタのエミッタ電極、ベース電極、およびコレクタ電極となる領域の絶縁酸化膜109を異方性エッチングする。これにより、コンタクトホール109a、109b、および109cを形成する。この後、フォトレジスト120を除去する。

【0009】次に、図26に示すように、バイポーラトランジスタのベース電極となる領域を覆うように写真製版技術を用いてフォトレジスト121を形成する。その後、全面に砒素イオン(As⁺)などのn型不純物をイオン注入する。次に、フォトレジスト121を除去す

る。その後、イオン注入した不純物を活性化することによって、図27に示されるようなn⁺型コレクタ層106とn⁺型エミッタ層107とを形成する。

【0010】次に、図28に示すように、全面に40～100nm程度の厚みを有するチタン(Ti)膜122を形成する。そして、750～850℃の温度条件下でN₂雰囲気中で30秒間程度の熱処理を行なう。これにより、図29に示されるようなチタンシリサイド膜110a、110b、110cと、窒化チタン層111とが形成される。すなわち、チタン膜122(図28参照)とn⁻型エピタキシャル層103のシリコンとのシリサイド反応によってチタンシリサイド膜110a、110b、110cが形成されるとともに、チタン膜122(図28参照)のそれ以外の部分はN₂ガスによって窒化されることにより窒化チタン層111となる。

【0011】次に、図30に示すように、窒化チタン層111上にアルミ配線層112を形成する。アルミ配線層112上の所定領域に写真製版技術を用いてフォトレジスト123を形成する。フォトレジスト123をマスクとしてアルミ配線層112および窒化チタン層111を異方性エッチングすることによって、図31に示すような窒化チタン膜111a、111b、111cとアルミ配線膜112a、112b、112cとを形成する。この後、レジスト123を除去する。

【0012】最後に、図32に示すように、全面に保護膜113を形成する。このようにして、従来のバイポーラトランジスタを有する半導体装置は完成されていた。

【0013】

【発明が解決しようとする課題】前述のように、従来のバイポーラトランジスタを有する半導体装置では、n⁺型エミッタ層107、p⁺型ベース層105、およびn⁺型コレクタ層106とのオーミックコンタクトを得るために、チタン層122と基板シリコンとのシリサイド反応を利用してチタンシリサイド膜110a、110b、および110cを形成していた。

【0014】しかしながら、チタンとシリコンとのシリサイド反応によってp⁺型ベース層105のp型不純物がチタンシリサイド膜110bに取込まれるという不都合が生じていた。図33は、図28に示したシリサイド反応前の工程のX₁-X₁線に沿った不純物プロファイル図である。図34は、図29に示したシリサイド反応後の工程のX₂-X₂線に沿った不純物プロファイル図である。図33および図34を参照して、シリサイド反応前はp⁺型ベース層105の表面不純物濃度は $5 \times 10^{18} \text{cm}^{-3}$ 程度であるが、シリサイド反応後はp⁺型ベース層105の表面不純物濃度は $5 \times 10^{16} \text{cm}^{-3}$ 程度にまで低下することが分かる。これは、図34に示すように、シリサイド反応によって形成されるチタンシリサイド(TiSi₂)膜110bにp⁺型ベース層105のp型不純物が取込まれるためである。

【0015】図35は図32に示した最終的に完成された半導体装置のA₁-A₁線に沿った不純物プロファイル図であり、図36はB₁-B₁線に沿った不純物プロファイル図である。まず、図35を参照して、最終的に完成された半導体装置（図32参照）のA₁-A₁線に沿った不純物プロファイル図は、上述したようにp⁺型ベース層105の不純物濃度がシリサイド反応によって $5 \times 10^{16} \text{ cm}^{-3}$ にまで低下している。ここで、図36に示すように、n⁺型エミッタ層107（図32参照）の不純物濃度は、p⁺型ベース層105の場合と異なり、シリサイド反応によっては余り低下しない。これは、一般にn型の不純物はシリサイド層に取込まれにくいとともに、n⁺型エミッタ層107の不純物濃度が元々高いことに起因する。したがって、同じn型であるn⁺型コレクタ層106の不純物濃度もシリサイド反応によっては余り低下しない。このように、シリサイド反応によって悪影響を受けるのは、p⁺型ベース層105のみであり、この場合のp⁺型ベース層105の不純物濃度の低下が問題となる。

【0016】すなわち、シリサイド反応によってp⁺型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗が増大するという問題点があった。図37は、チタンシリサイド(TiSi₂)とシリコン(Si)との界面不純物濃度と、ベースコンタクト抵抗値との関係を示した相関図である。図37を参照して、チタンシリサイドとシリコンとの界面不純物濃度すなわちp⁺型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗値が急激に増大することが分かる。具体的には、シリサイド反応後では、シリサイド反応前に比べてベースコンタクト抵抗値が約1000倍にまで上昇することが分かる。このように、ベースコンタクト抵抗値が増大すると、バイポーラトランジスタの動作速度が低下するという問題点があった。

【0017】また、シリサイド反応によってp⁺型ベース層105の表面不純物濃度が低下すると、ベースコンタクト抵抗に温度依存性が出てくるといふ不都合も生じる。図38は、p⁺型ベース層105の表面不純物濃度Nが $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下の場合の温度とベースコンタクト抵抗との関係を示した特性図である。図38を参照して、p⁺型ベース層105の表面不純物濃度Nが 1.0×10^{17} 以下にまで低下すると、ベースコンタクト抵抗に著しい温度依存性が出てくることが分かる。すなわち、温度の上昇にともなってベースコンタクト抵抗が低下することが分かる。この現象は、電流が小さくなればなるほど著しくなる。このような現象は、たとえばVLSI TECHNOLOGY Edited by S. M. Sze のpp347-350に開示されている。このようにベースコンタクト抵抗に温度依存性が出てくると、温度によって回路特性が変化してしまうという問題点がある。

【0018】つまり、従来では、シリサイド反応によってp⁺型ベース層の表面不純物濃度が低下するため、ベースコンタクト抵抗が上昇するという問題点とベースコンタクト抵抗に著しい温度依存性が発生するという問題点があった。また、従来では、シリサイド反応の他に、p⁺型ベース層の表面の酸化などによってもp⁺型ベース層の表面不純物濃度が低下していた。

【0019】そこで、このような問題点を解決するために、次のような構造が考えられる。図39は、その提案例を示した断面構造図である。図39を参照して、この提案例では、従来に比べて不純物濃度のより高いp⁺⁺型ベース層205を採用している。このようにより不純物濃度の高いp⁺⁺型ベース層205を形成すれば、シリサイド反応等によってp⁺⁺型ベース層205の表面不純物濃度が低下したとしても、その低下した表面不純物濃度がたとえば 10^{18} cm^{-3} 以下になるのが容易に防止できる。これにより、ベースコンタクト抵抗の増大という問題点やベースコンタクト抵抗の温度依存性の発生という問題点も解決することができる。

【0020】しかしながら、このようにより高い不純物濃度を有するp⁺⁺型ベース層205を形成すると、p⁺⁺型ベース層205とエミッタ層107との界面での不純物濃度差が大きくなる。これにより、n⁺型エミッタ層107からの電子がp⁺⁺型ベース層205を通り抜けにくくなるため、エミッタベース間の増幅率が低下してしまうという問題点がある。また、p⁺⁺型ベース層205とn⁺エミッタ層107との界面での不純物濃度差が大きくなると、電界集中が発生しやすくなり、エミッタベース間の逆耐圧が低下してしまうという問題点もある。このように、シリサイド反応等によるベース層の表面不純物濃度の低下を防止するために、より高い不純物濃度を有するp⁺⁺型ベース層205を採用すると、新たに種々の問題点が発生するという不都合を生じる。

【0021】この発明は、上記のような課題を解決するためになされたもので、請求項1および2に記載の発明の1つの目的は、半導体装置において、新たな別の問題点を生じさせることなく、シリサイド反応によるベース層の表面不純物濃度の低下を有効に防止することである。

【0022】請求項1および2に記載の発明のもう1つの目的は、半導体装置において、電流増幅率の低下や耐圧の低下を引起こすことなくシリサイド反応に起因するベースコンタクト抵抗の増大とベースコンタクト抵抗の温度依存性の発生とを有効に防止することである。

【0023】請求項3および4に記載の発明の目的は、半導体装置の製造方法において、新たな別の問題点を発生させることなくベースコンタクト抵抗の増大とベースコンタクト抵抗の温度依存性の発生とを有効に防止し得る半導体装置を容易に製造することである。

【0024】

【課題を解決するための手段】請求項 1 における半導体装置は、第 1 導電型のコレクタ不純物領域と、コレクタ不純物領域の主表面上の所定領域に形成された第 1 の不純物濃度を有する第 2 導電型のベース不純物領域と、ベース不純物領域の主表面上の所定領域に形成された第 1 の深さを有する第 1 導電型のエミッタ不純物領域と、ベース不純物領域の主表面上にエミッタ不純物領域と所定の間隔を隔てて形成され、第 1 の不純物濃度よりも高い第 2 の不純物濃度を有するとともに第 1 の深さよりも浅い第 2 の深さを有する第 2 導電型のベースコンタクト不純物領域とを備えている。

【0025】請求項 2 における半導体装置は、第 1 導電型のコレクタ不純物領域と、そのコレクタ不純物領域の主表面上の所定領域に形成された第 1 の不純物濃度を有する第 2 導電型のベース不純物領域と、そのベース不純物領域の主表面上の所定領域に形成された第 1 導電型のエミッタ不純物領域と、ベース不純物領域の主表面上にエミッタ不純物領域と所定の間隔を隔てて形成され第 1 の不純物濃度よりも高い第 2 の不純物濃度を有する第 2 導電型のベースコンタクト不純物領域と、少なくともベースコンタクト不純物領域上に形成された金属シリサイド層とを備えている。

【0026】請求項 3 における半導体装置の製造方法は、第 1 導電型のコレクタ不純物領域を形成する工程と、コレクタ不純物領域の主表面上の所定領域に第 1 の不純物濃度を有する第 2 導電型のベース不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に第 1 の深さを有する第 1 導電型のエミッタ不純物領域を形成する工程と、ベース不純物領域の主表面上のエミッタ不純物領域と所定の間隔を隔てた領域に、第 2 導電型の不純物を導入することによって第 1 の不純物濃度よりも高い第 2 の不純物濃度を有するとともに第 1 の深さよりも浅い第 2 の深さを有するベースコンタクト不純物領域を形成する工程とを備えている。

【0027】請求項 4 における半導体装置の製造方法は、第 1 導電型のコレクタ不純物領域を形成する工程と、コレクタ不純物領域の主表面上の所定領域に第 1 の不純物濃度を有する第 2 導電型のベース不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に第 1 の深さを有する第 1 導電型のエミッタ不純物領域を形成する工程と、ベース不純物領域の主表面上の所定領域に接触するように金属層を形成する工程と、金属層に第 2 導電型の不純物を導入する工程と、熱処理を施すことにより、金属層に導入された第 2 導電型の不純物をベース不純物領域の表面に拡散させて第 1 の不純物濃度よりも高い第 2 の不純物濃度を有しかつ第 1 の深さよりも浅い第 2 の深さを有するベースコンタクト不純物領域を形成するとともに金属層をシリサイド化する工程とを備えている。

【0028】

【作用】請求項 1 に係る半導体装置では、第 1 の不純物濃度を有する第 2 導電型のベース不純物領域の主表面上に第 1 の不純物濃度よりも高い第 2 の不純物濃度を有する第 2 導電型のベースコンタクト不純物領域が形成されているので、たとえば、そのベースコンタクト不純物領域上に金属シリサイド層が形成される際のシリサイド反応によって金属シリサイド層にベースコンタクト不純物領域内の不純物が取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来に比べてベースコンタクト抵抗の上昇が有効に低減される。また、ベースコンタクト不純物領域はエミッタ不純物領域と所定の間隔を隔てて形成されているので、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することもない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。さらに、ベースコンタクト不純物領域は、エミッタ不純物領域の第 1 の深さよりも浅い第 2 の深さを有するように形成されているので、ベースコンタクト不純物領域の側面方向の広がりも小さくなり、この結果素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するのが防止される。これにより、素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することによって生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。

【0029】請求項 2 に係る半導体装置では、第 1 の不純物濃度を有する第 2 導電型のベース不純物領域の主表面上に第 1 の不純物濃度よりも高い第 2 の不純物濃度を有する第 2 導電型のベースコンタクト不純物領域が形成され、そのベースコンタクト不純物領域上に金属シリサイド層が形成されているので、金属シリサイド層の形成時のシリサイド反応によって金属シリサイド層にベースコンタクト不純物領域内の不純物が取り込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来に比べてベースコンタクト抵抗の上昇が有効に低減される。また、ベースコンタクト不純物領域はエミッタ不純物領域と所定の間隔を隔てて形成されているので、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することもない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。

【0030】請求項 3 に係る半導体装置の製造方法では、第 1 の不純物濃度を有するベース不純物領域の主表面上に第 2 導電型の不純物を導入することによってその第 1 の不純物濃度よりも高い第 2 の不純物濃度を有するベースコンタクト不純物領域が形成されるので、たとえば、そのベースコンタクト不純物領域上に接触するよう

に金属層が形成された後その金属層がシリサイド化される場合に、ベースコンタクト不純物領域の不純物がシリサイド化によって形成される金属シリサイド層に取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、ベースコンタクト不純物領域は元々高濃度に形成されていることから、従来に比べてベースコンタクト抵抗の上昇が有効に防止される。また、ベースコンタクト不純物領域はエミッタ不純物領域と所定の間隔を隔てて形成されていることから、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することもない。これにより、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触した場合に生じるエミッターベース間の逆耐圧の低下などの不都合が有効に防止される。また、ベースコンタクト不純物領域はエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成されているので、ベースコンタクト不純物領域の側面方向の広がりも小さくなり、素子が微細化された場合にも高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触することがない。これにより、素子が微細化された場合にも、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することにより生じるエミッターベース間の逆耐圧の低下などの種々の不都合が防止される。

【0031】請求項4に係る半導体装置の製造方法では、ベース不純物領域の主表面上の所定領域に接触するように金属層が形成され、その金属層に第2導電型の不純物が導入され、その後、熱処理を施すことによって、金属層に導入された第2導電型の不純物が拡散されてベースコンタクト不純物領域が形成されるので、金属層に不純物を導入する際にその不純物濃度のピーク位置が金属層とベース不純物領域との界面近傍にくるように容易に制御可能である。これにより、より容易にベースコンタクト不純物領域の表面不純物濃度を高くすることが可能となる。この結果、ベースコンタクト不純物領域上に形成された金属層のシリサイド反応の際にベースコンタクト不純物領域の表面不純物濃度が低下したとしても、ベースコンタクト抵抗の上昇がより有効に防止される。また、この請求項3に係る半導体装置の製造方法では、ベース不純物領域の形成と同一工程で金属層がシリサイド化されるので、製造工程が短縮化される。

【0032】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0033】図1は、本発明の一実施例によるバイポーラトランジスタを含む半導体装置を示した断面構造図である。図1を参照して、このバイポーラトランジスタを含む半導体装置は、 p^+ 型シリコン基板1と、 p^+ 型シリコン基板1中に埋込むように形成された n^+ 型埋込拡散層2と、 p^+ 型シリコン基板1の主表面上の全面に形

成された n^- 型エピタキシャル層3と、 n^- 型エピタキシャル層3の所定領域に形成された p^+ 型素子分離層4と、 p^+ 型素子分離層4に囲まれた n^- 型エピタキシャル層3の主表面上の所定領域に形成された n^+ 型コレクタ層6と、 n^+ 型コレクタ層6と所定の間隔を隔てた n^- 型エピタキシャル層3の主表面上の領域に形成された p^+ 型ベース層5と、 p^+ 型ベース層5の主表面上の所定領域に形成された n^+ 型エミッタ層7と、 n^+ 型エミッタ層7と所定の間隔を隔てた p^+ 型ベース層の主表面上に形成され、 p^+ 型ベース層の不純物濃度よりも高い不純物濃度を有するとともに n^+ 型エミッタ層7の拡散深さよりも浅い拡散深さを有するように形成された p^{++} 型ベースコンタクト層8とを備えている。

【0034】さらに図1に示した半導体装置は、 n^- 型エピタキシャル層3の表面上に形成され、 n^+ 型エミッタ層7、 p^{++} 型ベースコンタクト層8、 n^+ 型コレクタ層6上にそれぞれコンタクトホール9a、9b、9cを有する絶縁酸化膜9と、コンタクトホール9a、9b、9c内でそれぞれ n^+ 型エミッタ層7、 p^{++} 型ベースコンタクト層8、 n^+ 型コレクタ層6の表面上に接触して形成されたチタンシリサイド($TiSi_2$)膜10a、10b、10cと、コンタクトホール9a、9b、9c内でチタンシリサイド膜10a、10b、10c上にそれぞれ形成された窒化チタン(TiN)層11a、11b、11cと、窒化チタン層11a、11b、11c上にそれぞれ形成されたアルミ配線膜12a、12b、12cと、全面を覆うように形成された保護膜13とを備えている。

【0035】チタンシリサイド層10a、10b、10cは、それぞれ N^+ 型エミッタ層7、 p^+ 型ベースコンタクト層8、 n^+ 型コレクタ層6との安定なコンタクトを得るために形成されるものであり、その厚みは60~100nm程度である。また、窒化チタン層11a、11b、11cは、それらの上に形成されるアルミ配線層12a、12b、12cがアルミアロイスパイクを起こすのを防止するためのバリア層としての役割を果たすものであり、その厚みは30~70nm程度である。 n^+ 型コレクタ層6は、 $5.0 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度と、0.2~0.5 μm 程度の拡散深さを有している。 p^+ 型ベース層5は、 $2.0 \times 10^{16} \sim 8.0 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度と0.7~1.2 μm 程度の拡散深さを有している。また、 n^+ 型エミッタ層7は、 $5.0 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度と0.2~0.5 μm 程度の拡散深さを有している。 p^{++} 型ベースコンタクト層8は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上の不純物濃度と0.1~0.4 μm 程度の拡散深さを有している。なお、 p^+ 型素子分離層4によって囲まれた領域の n^- 型エピタキシャル層3と、 n^+ 型コレクタ層6とによって、コレクタ領域が構成されている。

【0036】ここで、本実施例では、 p^+ 型ベース層5

のベースコンタクト領域に、 p^+ 型ベース層 5 よりも不純物濃度が高くかつ p^+ 型エミッタ層 7 よりも拡散深さが浅い p^{++} 型ベースコンタクト層 8 を設けている。これにより、以下のような効果が得られる。

【0037】すなわち、 p^+ 型ベース層 5 のベースコンタクト領域に p^+ 型ベース層 5 の不純物濃度よりも高い不純物濃度を有する p^{++} 型ベースコンタクト層 8 を形成することによって、チタンシリサイド膜 10b の形成時のシリサイド反応により p^{++} 型ベースコンタクト層 8 の不純物がチタンシリサイド膜 10b に取込まれて p^{++} 型ベースコンタクト層 8 の表面不純物濃度が低下したとしても、その低下後の p^{++} 型ベースコンタクト層 8 の表面不純物濃度を容易に $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上にすることができる。

【0038】図 2 は、図 1 に示した半導体装置の $A_2 - A_2$ 線に沿った不純物プロファイル図である。図 2 を参照して、チタンシリサイド膜 10b の形成後の p^{++} 型ベースコンタクト層 8 の表面不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上になっていることが分かる。このようにシリサイド反応後の p^{++} 型ベースコンタクト層 8 の表面不純物濃度を $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上にするためには、後述するように、シリサイド反応前の p^{++} 型ベースコンタクト層 8 の表面不純物濃度を $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度以上にしておく必要がある。本実施例では、このようにシリサイド反応後の p^{++} 型ベースコンタクト領域 8 の表面不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上になるように構成しているので、チタンシリサイド膜 10b の形成時のシリサイド反応によって従来のようにベースコンタクト抵抗が上昇するのを有効に防止することができる。この結果、バイポーラトランジスタの動作速度の低下を防止できるとともに、ベースコンタクト領域での安定で低抵抗なオーミックコンタクトを得ることができる。

【0039】また、シリサイド化後の p^{++} 型ベースコンタクト層 8 の表面不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上のなるように構成することによって、図 38 に示した従来のようにベースコンタクト抵抗に温度依存性が出てくるといふ不都合も生じない。図 3 は、 p^{++} 型ベースコンタクト層 8 の表面不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上の場合のベースコンタクト抵抗と温度との関係を示した特性図である。図 3 を参照して、 p^{++} 型ベースコンタクト層 8 の表面不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上である場合には、ベースコンタクト抵抗が温度によってほとんど変化せず、ベースコンタクト抵抗に温度依存性がほとんどないことが分かる。これにより、本実施例では、ベースコンタクト抵抗の温度依存性に起因して発生する温度変化による回路特性の変化を有効に防止することができる。

【0040】さらに、本実施例では、図 39 に示した提案例と異なり、 p^{++} 型ベースコンタクト層 8 が n^+ 型エ

ミッタ層 7 と所定の間隔を隔てた p^+ 型ベース層 5 のベースコンタクト領域に形成されている。これにより、高濃度の p^{++} 型ベースコンタクト層 8 と n^+ 型エミッタ層 7 とが接触することもない。この結果、高濃度の p^{++} 型ベースコンタクト層 8 と n^+ 型エミッタ層 7 とが接触した場合に生じるエミッターベース間の逆耐圧の低下や、電流増幅率の低下という不都合も生じない。したがって、本実施例では、エミッターベース間の逆耐圧や電流増幅率を低下させることなく、ベースコンタクト領域において安定で低抵抗なオーミックコンタクトを得ることができる。

【0041】また、本実施例では、図 1 に示したように、 p^{++} 型ベースコンタクト層 8 の拡散深さを n^+ 型エミッタ層 7 の拡散深さよりも浅く形成することによって、半導体装置の高集積化に伴って素子が微細化された場合にも高濃度の p^{++} 型ベースコンタクト層 8 の側面と n^+ 型エミッタ層 7 の側面とが接触するのを有効に防止することができる。すなわち、本実施例では、 p^{++} 型ベースコンタクト層 8 の拡散深さを n^+ 型エミッタ層 7 の拡散深さよりも浅くすることによって、 p^{++} 型ベースコンタクト層 8 の側面の広がりを小さくすることができる。これにより、素子が微細化された場合にも、高濃度の p^{++} 型ベースコンタクト層 8 の側面と n^+ 型エミッタ層 7 の側面とが接触するのが防止される。

【0042】図 4 は、 p^{++} 型ベースコンタクト層 18 の拡散深さが n^+ 型エミッタ層 7 の拡散深さよりも深くなった場合の不都合を説明するための断面構造図である。図 4 を参照して、素子が微細化されて n^+ 型エミッタ層 7 と p^{++} 型ベースコンタクト層 18 との間隔が狭くなった場合において、 p^{++} 型ベースコンタクト層 18 の拡散深さが n^+ 型エミッタ層 7 の拡散深さよりも深くなると、高濃度の p^{++} 型ベースコンタクト層 18 の側面と n^+ 型エミッタ層 7 の側面とが接触することになる。この結果、エミッターベース間の逆耐圧の低下や電流増幅率の低下を引起すという不都合が生じる。したがって、半導体装置の高集積化に伴って素子が微細化された場合には、図 1 に示した本実施例のように、 p^{++} 型ベースコンタクト層 8 の拡散深さを n^+ 型エミッタ層 7 の拡散深さよりも浅く形成して p^{++} 型ベースコンタクト層 8 の側面の広がりを小さくするのが有効である。

【0043】図 5～図 12、図 14、図 16 および図 17 は、図 1 に示した一実施例による半導体装置の一の製造プロセスを説明するための断面構造図である。図 13 は図 12 に示した工程における $X_3 - X_3$ 線に沿った不純物プロファイル図であり、図 15 は図 14 に示した工程における $X_4 - X_4$ 線に沿った不純物プロファイル図である。図 5～図 17 を参照して、次に本実施例の半導体装置の一の製造プロセスについて説明する。

【0044】まず、図 5 に示すように、 p^+ 型シリコン基板 1 中に n^+ 型埋込拡散層 2 を形成する。そして、 p

+型シリコン基板1の表面上の全面にn⁻型エピタキシャル層3を形成する。n⁻型エピタキシャル層3の所定領域に素子分離のためのp⁺型素子分離層4を形成する。そして、n⁻型エピタキシャル層3上に絶縁酸化膜9を形成する。

【0045】次に、図6に示すように、n⁻型エピタキシャル層3の主表面上の所定領域に絶縁酸化膜9を介してp型の不純物をイオン注入法などを用いて導入する。この導入した不純物を活性化することによって、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度と0.7~1.2 μm 程度の拡散深さとを有するp⁺型ベース層5を形成する。

【0046】次に、図7に示すように、絶縁酸化膜9の表面上の所定領域に写真製版技術を用いてフォトレジスト20を形成した後、そのフォトレジスト20をマスクとして絶縁酸化膜9を異方性エッチングする。これにより、コンタクトホール9a、9b、および9cを形成する。この後、フォトレジスト20を除去する。

【0047】次に、図8に示すように、バイポーラトランジスタのベース電極が形成される領域のコンタクトホール9bを覆うように写真製版技術を用いてフォトレジスト21を形成する。その後、砒素イオン(As⁺)などのn型の不純物を全面にイオン注入する。次に、レジスト21を除去する。その後、イオン注入した不純物を活性化することによって、図9に示されるような、 $5 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度および0.2~0.5 μm 程度の拡散深さを有するn⁺型コレクタ層6と、 $5 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度および0.2~0.5 μm 程度の拡散深さを有するn⁺型エミッタ層7とを形成する。

【0048】次に、図10に示すように、コンタクトホール9b以外の部分を覆うように写真製版技術を用いてフォトレジスト22を形成する。フォトレジスト22および絶縁酸化膜9をマスクとして、p⁺型ベース層5の表面領域にイオン注入法などを用いてBF₂⁺などのp型の不純物を自己整合的に導入する。そして、その導入した不純物を900℃以下の温度条件下で活性化することによって、図11に示されるような、n⁺型エミッタ層7の拡散深さよりも浅い拡散深さ(0.1~0.4 μm 程度)と $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上の表面不純物濃度とを有するp⁺型ベースコンタクト層8を形成する。

【0049】次に、図12に示すように、全面を覆うように40~100 nm程度の厚みを有するチタン(Ti)膜23をスパッタリング法などを用いて形成する。ここで、図13を参照して、図12に示したシリサイド反応前の工程では、p⁺型ベースコンタクト層8の表面不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上に設定されている。

【0050】この状態から、図14に示すように、750~850℃の温度条件下でN₂雰囲気中で30秒間程

度の熱処理を行なうことによって、チタンシリサイド(TiSi₂)膜10a、10b、および10cと、窒化チタン(TiN)層11とを形成する。すなわち、チタン層23のチタン(Ti)とn⁻型エピタキシャル層3のシリコン(Si)とをシリサイド反応させることによって、n⁺型エミッタ層7、p⁺型ベースコンタクト層8、n⁺型コレクタ層6の表面上にそれぞれチタンシリサイド(TiSi₂)膜10a、10b、10cを形成する。そしてこれと同時に、チタン(Ti)層23をN₂雰囲気中で窒化することによって窒化チタン(TiN)層11を形成する。チタンシリサイド膜10a、10b、および10cはそれぞれ60~100 nm程度の膜厚に形成され、窒化チタン層11は30~70 nm程度の膜厚に形成される。

【0051】ここで、図14に示したシリサイド反応後のp⁺型ベースコンタクト層8の表面不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度にまで低下していることが分かる。これは、シリサイド反応の際にチタンシリサイド(TiSi₂)膜15bにp⁺型ベースコンタクト層8の不純物が取込まれるためである。しかし、本実施例では、このようにシリサイド反応によってp⁺型ベースコンタクト層8の表面不純物濃度が低下したとしても、その低下後のp⁺型ベースコンタクト層8の表面不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上になるように形成されている。したがって、シリサイド反応によってp⁺型ベースコンタクト層8の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が急激に増加してしまうという不都合もない。これにより、バイポーラトランジスタの動作速度の低下を有効に防止することができるとともに、ベースコンタクト領域での安定で低抵抗なオーミックコンタクトを得ることができる。

【0052】次に、図16に示すように、窒化チタン層11上にアルミ配線層12を形成した後、そのアルミ配線層12上の所定領域に写真製版技術を用いてフォトレジスト24を形成する。フォトレジスト24をマスクとして、アルミ配線層12、窒化チタン層11を異方性エッチングすることによって、図17に示すような、窒化チタン(TiN)膜11a、11b、11cと、アルミ配線膜12a、12b、12cを形成する。

【0053】最後に、図1に示したように、全面を覆うように保護膜13を形成することによって、本実施例のバイポーラトランジスタを含む半導体装置が完成される。

【0054】図18~図21は、図1に示した一実施例による半導体装置の他の製造プロセスを説明するための断面構造図である。図1および、図18~図21を参照して、次に本実施例の半導体装置の他の製造プロセスについて説明する。

【0055】まず、図18に示すように、図5~図12に示した一の製造プロセスと同様の製造プロセスを用い

て、チタン膜23までを形成する。この後、チタン膜23上のベース電極領域に対応する領域以外の領域に写真製版技術を用いてフォトレジスト25を形成する。そのフォトレジスト25をマスクとして、チタン膜23にBF₂またはBイオンをイオン注入する。このチタン膜23へのイオン注入は、チタン膜23とp⁺型ベース層5との界面近傍に不純物濃度のピークが来るように行なう。具体的には、その界面近傍の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上になるようにイオン注入を行なう。この後フォトレジスト25を除去する。

【0056】次に、図19に示すように、750～850℃の温度条件下でN₂雰囲気中で30秒間程度熱処理を行なう。これにより、チタンシリサイド(TiSi₂)膜10a、10b、10cと、窒化チタン(TiN)層11と、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上の不純物濃度およびn⁺型エミッタ層7の拡散深さよりも浅い0.1～0.4μm程度の拡散深さを有するp⁺型ベースコンタクト層28とを自己整合的に形成する。すなわち、熱処理によってチタン膜23のチタン(Ti)とn⁻型エピタキシャル層3のシリコン(Si)とをシリサイド反応させることによってチタンシリサイド(TiSi₂)膜10a、10b、10cを形成するとともに、チタン膜23をN₂雰囲気中で窒化することによって窒化チタン(TiN)層11を形成する。さらに、この熱処理の際に、同時にチタン膜23に導入したp型の不純物をp⁺型ベース層5内に熱拡散させることによって、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上の不純物濃度を有し、かつn⁺型エミッタ層7の拡散深さよりも浅い0.1～0.4μm程度の拡散深さを有するp⁺型ベースコンタクト層28を形成する。

【0057】このように、この他の製造プロセスでは、チタンシリサイド膜10a、10b、および10cの形成時に同時にp⁺型ベースコンタクト層28を形成するので、図5～図17を用いて説明した一の製造プロセスと比較して、p⁺型ベースコンタクト層28の活性化工程(図11参照)を省略することができる。これにより、製造プロセスを簡略化することができる。また、この他の製造プロセスでは、チタン膜23に不純物をイオン注入した後、その注入した不純物を熱拡散させるので、不純物のイオン注入時に不純物濃度のピーク位置がチタン膜23とp⁺型ベース層5との界面近傍に来るように容易に制御可能である。これにより、その注入した不純物を拡散させることによって形成されるp⁺型ベースコンタクト層28の表面不純物濃度を容易に高くすることができ、またp⁺型ベースコンタクト層28の拡散深さを浅く形成することができる。

【0058】この後、図20に示すように、窒化チタン層11上にアルミ配線層12を形成する。アルミ配線層12上の所定領域に写真製版技術を用いてフォトレジスト24を形成する。フォトレジスト24をマスクとして

アルミ配線層12および窒化チタン層11を異方性エッチングする。これにより、図21に示されるような、窒化チタン(TiN)膜11a、11b、11cと、アルミ配線膜12a、12b、12cとが形成される。

【0059】最後に、図1に示したように、全面を覆うように保護膜13を形成する。このような他の製造プロセスによっても、図1に示したバイポーラトランジスタを含む半導体装置を形成することができる。

【0060】なお、上述の実施例では、チタンシリサイド膜10a、10b、および10cを形成する場合について述べたが、本発明はこれに限らず、チタンシリサイド膜10a、10b、10c以外の金属シリサイド膜が形成される場合にも適用可能である。たとえば、ZrSix、HfSix、VSix、NbSix、TaSix、CrSix、MoSix、WSix、FeSix、RuSix、OsSix、RhSix、IrSixが形成される場合にも適用可能である。

【0061】

【発明の効果】請求項1に記載の半導体装置によれば、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上にその第1の不純物濃度よりも高い第2の不純物濃度を有する第2導電型のベースコンタクト不純物領域を形成することによって、たとえば、そのベースコンタクト不純物領域上に金属シリサイド層を形成する場合に、その金属シリサイド層の形成時にベースコンタクト不純物領域の不純物が金属シリサイド層に取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が上昇するのを有効に防止することができる。これにより、素子の動作速度の低下を有効に防止することができるとともに、ベースコンタクト領域での安定で低抵抗な、オーミックコンタクトを得ることができる。また、ベースコンタクト不純物領域をエミッタ不純物領域と所定の間隔を隔てて形成することによって、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することがない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の耐圧の低下などの種々の不都合を防止することができる。さらに、ベースコンタクト不純物領域をエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成することによって、ベースコンタクト不純物領域の側面の広がり小さくすることができる。これにより、半導体装置の集積化に伴って素子が微細化された場合にも、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するのを有効に防止することができる。

【0062】請求項2に記載の半導体装置によれば、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上にその第1の不純物濃度よりも高い第2の不純物濃度を有する第2導電型のベースコンタクト不純物

領域を形成し、少なくともそのベースコンタクト不純物領域上に金属シリサイド層を形成することによって、その金属シリサイド層の形成時にベースコンタクト不純物領域の不純物が金属シリサイド層に取り込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が上昇するのを有効に防止することができる。これにより、素子の動作速度の低下を有効に防止することができるとともに、ベースコンタクト領域での安定で低抵抗なオーミックコンタクトを得ることができる。また、ベースコンタクト不純物領域をエミッタ不純物領域と所定の間隔を隔てて形成することによって、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することがない。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触した場合に生じるエミッターベース間の耐圧の低下などの種々の不都合を防止することができる。

【0063】請求項3に記載の半導体装置の製造方法によれば、第1の不純物濃度を有する第2導電型のベース不純物領域の主表面上に第2導電型の不純物を導入することによって第1の不純物濃度よりも高い第2の不純物濃度を有するベースコンタクト不純物領域を形成することにより、たとえば、そのベースコンタクト不純物領域上に接触するように金属層を形成した後その金属層をシリサイド化する場合に、金属層のシリサイド化の際に形成される金属シリサイド層にベースコンタクト不純物領域の不純物が取込まれてベースコンタクト不純物領域の表面不純物濃度が低下したとしても、従来のようにベースコンタクト抵抗が急激に上昇するのを有効に防止することができる。これにより、半導体装置の動作速度が低下するのを防止することができる。また、ベースコンタクト不純物領域をエミッタ不純物領域と所定の間隔を隔てた領域に形成することによって、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触するのを防止することができる。これにより、高濃度のベースコンタクト不純物領域とエミッタ不純物領域とが接触することによって生じるエミッターベース間の耐圧の低下などの種々の不都合を防止することができる。さらに、ベースコンタクト不純物領域をエミッタ不純物領域の第1の深さよりも浅い第2の深さを有するように形成することによって、ベースコンタクト不純物領域の側面方向の広がりも小さくすることができる。これにより、半導体装置の高集積化に伴って素子が微細化された場合にも、高濃度のベースコンタクト不純物領域の側面とエミッタ不純物領域の側面とが接触するのを有効に防止することができる。

【0064】請求項4に記載の半導体装置の製造方法によれば、ベース不純物領域の主表面上の所定領域の接触するように金属層を形成し、その金属層に第2導電型の不純物を導入し、熱処理を施すことによって、その金属

層の導入された第2導電型の不純物を第1の不純物濃度を有するベース不純物領域の表面に拡散させてその第1の不純物濃度よりも高い第2の不純物濃度を有しかつ第1の深さよりも浅い第2の深さを有するベースコンタクト不純物領域を形成するとともに金属層をシリサイド化することによって、金属層のシリサイド化工程とベースコンタクト不純物領域の形成工程を同一の工程で行なうことができ、製造工程を簡略化することができる。また、金属層に不純物を導入した後その導入した不純物を拡散させることによってベースコンタクト不純物領域を形成するので、金属層に不純物を導入する際にその不純物濃度のピーク位置が金属層とベース不純物領域との界面近傍に来るように容易に制御することができる。これにより、金属層の不純物を拡散させることによって形成されるベースコンタクト不純物領域の表面不純物濃度が高くなるように容易の形成することができ、またベースコンタクト不純物領域をより浅く形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるバイポーラトランジスタを含む半導体装置を示した断面構造図である。

【図2】図1に示した半導体装置のA₂-A₂線に沿った不純物プロファイル図である。

【図3】図1に示した半導体装置のp⁺⁺型ベースコンタクト層の表面不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上である場合のベースコンタクト抵抗と温度との関係を示した特性図である。

【図4】半導体装置が高集積化された場合においてp⁺⁺型ベースコンタクト層の拡散深さがn⁺型エミッタ層の拡散深さよりも深くなったときの不都合を説明するための断面図構造図である。

【図5】図1に示した一実施例の半導体装置の一の製造プロセスの第1工程を説明するための断面構造図である。

【図6】図1に示した一実施例の半導体装置の一の製造プロセスの第2工程を説明するための断面構造図である。

【図7】図1に示した一実施例の半導体装置の一の製造プロセスの第3工程を説明するための断面構造図である。

【図8】図1に示した一実施例の半導体装置の一の製造プロセスの第4工程を説明するための断面構造図である。

【図9】図1に示した一実施例の半導体装置の一の製造プロセスの第5工程を説明するための断面構造図である。

【図10】図1に示した一実施例の半導体装置の一の製造プロセスの第6工程を説明するための断面構造図である。

【図11】図1に示した一実施例の半導体装置の一の製

造プロセスの第7工程を説明するための断面構造図である。

【図12】図1に示した一実施例の半導体装置の一の製造プロセスの第8工程を説明するための断面構造図である。

【図13】図12に示した工程における $X_3 - X_3$ 線に沿った不純物プロファイル図である。

【図14】図1に示した一実施例による半導体装置の一の製造プロセスの第9工程を説明するための断面構造図である。

【図15】図14に示した工程における $X_4 - X_4$ 線に沿った不純物プロファイル図である。

【図16】図1に示した一実施例による半導体装置の一の製造プロセスの第10工程を説明するための断面構造図である。

【図17】図1に示した一実施例による半導体装置の一の製造プロセスの第11工程を説明するための断面構造図である。

【図18】図1に示した一実施例による半導体装置の他の製造プロセスの第1工程を説明するための断面構造図である。

【図19】図1に示した一実施例による半導体装置の他の製造プロセスの第2工程を説明するための断面構造図である。

【図20】図1に示した一実施例による半導体装置の他の製造プロセスの第3工程を説明するための断面構造図である。

【図21】図1に示した一実施例による半導体装置の他の製造プロセスの第4工程を説明するための断面構造図である。

【図22】従来のバイポーラトランジスタを含む半導体装置を示した断面構造図である。

【図23】図22に示した従来の半導体装置の製造プロセスの第1工程を説明するための断面構造図である。

【図24】図22に示した従来の半導体装置の製造プロセスの第2工程を説明するための断面構造図である。

【図25】図22に示した従来の半導体装置の製造プロセスの第3工程を説明するための断面構造図である。

【図26】図22に示した従来の半導体装置の製造プロセスの第4工程を説明するための断面構造図である。

【図27】図22に示した従来の半導体装置の製造プロ

セスの第5工程を説明するための断面構造図である。

【図28】図22に示した従来の半導体装置の製造プロセスの第6工程を説明するための断面構造図である。

【図29】図22に示した従来の半導体装置の製造プロセスの第7工程を説明するための断面構造図である。

【図30】図22に示した従来の半導体装置の製造プロセスの第8工程を説明するための断面構造図である。

【図31】図22に示した従来の半導体装置の製造プロセスの第9工程を説明するための断面構造図である。

【図32】図22に示した従来の半導体装置の製造プロセスの第10工程を説明するための断面構造図である。

【図33】図28に示した工程における $X_1 - X_1$ 線に沿った不純物プロファイル図である。

【図34】図29に示した工程における $X_2 - X_2$ 線に沿った不純物プロファイル図である。

【図35】図32に示した一連の製造プロセス終了後における $A_1 - A_1$ 線に沿った不純物プロファイル図である。

【図36】図32に示した一連の製造プロセス終了後における $B_1 - B_1$ 線に沿った不純物プロファイル図である。

【図37】チタンシリサイドとシリコンとの界面不純物濃度と、ベースコンタクト抵抗値との関係を示した相関図である。

【図38】 p^+ 型ベース層の表面不純物濃度が 1.0×10^{17} 以下である場合のベースコンタクト抵抗と温度との関係を示した特性図である。

【図39】従来の問題点を解決するための提案例の構造を示した断面構造図である。

【符号の説明】

1 : p 型シリコン基板

3 : n^- 型エピタキシャル層

5 : p^+ 型ベース層

6 : n^+ 型コレクタ層

7 : n^+ 型エミッタ層

8 : p^{++} 型ベースコンタクト層

10a、10b、10c : チタンシリサイド ($TiSi_2$) 膜

11a、11b、11c : 窒化チタン (TiN) 膜

12a、12b、12c : アルミ配線膜

なお、各図中、同一符号は同一または相当部分を示す。